

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G09F 9/30

(11) 공개번호 특2001-0033465
(43) 공개일자 2001년04월25일

(21) 출원번호	10-2000-7006966		
(22) 출원일자	2000년06월22일		
(23) 번역문제출일자	2000년06월22일		
(86) 국제출원번호	PCT/JP1999/06642	(87) 국제공개번호	W0 2000/31714
(86) 국제출원출원일자	1999년11월26일	(87) 국제공개일자	2000년06월02일
(81) 지정국	국내특허 : 대한민국 미국 중국 일본		
(30) 우선권주장	98-336343 1998년11월26일 일본(JP)		
(71) 출원인	세이코 엘슨 가부시카가이샤 야스카와 히데아키		
	일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1		
(72) 발명자	무라타마사오		
	일본 332-8502 나가노켄 스와시 오와3초메3-5세이코엘슨가부시카가이샤내		
(74) 대리인	이병호		

실사검구 : 없음

(54) 전기 광학 장치 및 그 제조방법 및 전자기기

요약

액티브 매트릭스 구동 방식의 액정 장치 등의 전기 광학 장치에 있어서, 화소 피치를 미세화하여도, 화소 전극에 충분한 축적 용량을 부가할 수 있고, 화소 전극에 통하는 콘택트 홀 직경을 작게 할 수 있도록 하기 위해서, 액정 장치는 TFT 어레이 기판(10) 상에 TFT(30), 데이터 선(6a), 주사선(3a), 용량선(3b) 및 화소 전극(9a)을 구비한다. 화소 전극 및 TFT 사이는 배리어층(80)을 중재하여 두 개의 콘택트 홀(8a, 8b)에 의해 전기적으로 접속된다. 반도체층의 일부와 용량선이 제 1 유전체막(2)을 지지하고 제 1 축적 용량(70a)을 구성하며, 용량선과 배리어층의 일부가 제 2 유전체막(81)을 지지하여 제 2 축적 용량(70b)을 구성한다.

도표도

53

색인어

TFT, 화소전극, 유전체막, 배리어층, ITO

명세서

기술분야

본 발명은 액티브 매트릭스 구동 방식의 전기 광학 장치 및 그의 제조방법의 기술분야에 속하고, 특히 축적 용량(storage capacity)을 부가하기 위해서 축적 용량 전극을 구비함과 동시에 화소 전극과 화소 스위칭층 박막 트랜지스터(Thin Film Transistor: 이하, TFT로 칭한다) 사이에 전기적인 전도성이 양호하도록 하기 위한 배리어층이라고 칭하는 도전층을 구비하는 전기 광학 장치 및 그의 제조방법의 기술분야에 속한다.

배경기술

종래, TFT 구동에 의한 액티브 매트릭스 구동 방식의 전기 광학 장치에 있어서는 종횡으로 각각 배열된 다수의 주사선 및 데이터 선 및 이들의 각 교점에 대응하여 다수의 TFT가 TFT 어레이 기판 상에 형성되어 있다. 각 TFT는 주사선에 게이트 전극이 접속되고, 데이터 선에 반도체층의 소스 영역이 접속되며, 화소 전극에 반도체층의 드레인 영역이 접속되어 있다. 여기서 특히 화소 전극은 TFT나 배선을 구성하는 각종의 홀이나 해당 화소 전극을 서로 절연하기 위한 중간 절연막 상에 형성되어 있기 때문에, 중간 절연막에 형성된 콘택트 홀을 통해 TFT를 구성하는 반도체층의 드레인 영역에 접속되어 있다. 그리고, TFT의 게이트 전극에 주사선을 통해 주사 신호가 공급되면, TFT는 온 상태로 되고, 반도체층의 소스 영역에 데이터 선을 통해 공급되는 화상 신호가 해당 TFT의 소스-드레인 사이를 거쳐 화소 전극에 공급된다. 이러한 화상 신호의 공급은 각 TFT를 통해 화소 전극마다 대단히 단시간밖에 향하여지지 않는다. 따라서, 극히 짧은 시간만 온 상태로 된 TFT를 통해 공급되는 화상 신호의 전압을, 이 온 상태로 된 시간보다도 상당히 장시간에 걸쳐 유지하기 위해서, 각 화소 전극에는 액정 용량과 병렬로 축적 용량이 형성되는 것이 일반적이다. 한편, 이러한 종류의 전기 광학 장치에 있어서는 TFT 어레이 기판 상에 형성된 반도체층으로부터

터, 화소 스위칭용 TFT의 소스 영역 및 드레인 영역 및 이들 사이에 있는 채널 영역이 구성된다. 화소 전극은 적층 구조를 이루는 주사선, 용량선, 데이터 선 등의 배선 및 이들을 서로 전기적으로 절연하기 위한 복수의 층간 절연막을 거쳐, 반도체층의 드레인 영역과 접속될 필요가 있다. 여기서, TFT 어레이 기판측에서 보아 반도체층 위에 게이트 전극이 형성되는 등 게이트 구조를 갖는 정상태거형(positive stagger type) 또는 코플레이너(coplanar)형 폴리실리콘 TFT의 경우 등은 특히, 적층 구조에 있어서의 반도체층으로부터 화소 전극까지의 층간 거리가 예를 들면 1000nm 정도 또는 그 이상으로 길기 때문에, 양자를 전기적으로 접속하기 위한 콘택트 홀을 형성하는 것이 곤란하게 된다. 보다 구체적으로는 에칭을 깊게 행함에 따라 에칭 정도가 저하하여, 목표로 하는 반도체층을 관통하여 형성될 가능성이 생기기 때문에, 건식 에칭만으로는, 이러한 깊은 콘택트 홀을 형성하는 것이 대단히 곤란하게 된다. 따라서, 건식 에칭에 습식 에칭을 조합하여 행하기도 하지만, 그렇게 하면 이번에는 습식 에칭에 의해 콘택트 홀의 직경이 커지게 되어, 한정된 기판 상 영역에 있어서 배선이나 전극을 필요한 만큼 레이아웃하는 것이 곤란하게 되는 것이다.

그래서, 최근에는 주사선 상에 형성되는 층간 절연막에 대하여, 반도체층의 소스 영역에 이르는 콘택트 홀을 형성하여 데이터 선과 소스 영역의 전기적인 접속을 취할 때에, 반도체층의 드레인 영역에 이르는 콘택트 홀을 형성하여 상기 층간 절연막 상에 데이터 선과 동일층으로 이루어지는 배리어층이라고 하는 종래의 도전층을 형성해 두고, 그 후, 데이터 선 및 이 배리어층 상에 형성된 층간 절연막에 대하여, 화소 전극으로부터 상기 배리어층에 이르는 콘택트 홀을 형성하는 기술이 개략되어 있다. 이와 같이 데이터 선과 동일층으로 이루어지는 배리어층을 중계하여 화소 전극으로부터 드레인 영역으로 전기적으로 접속을 취하도록 구성하면, 화소 전극으로부터 일거에 반도체층에 이르는 콘택트 홀을 형성하는 것보다도, 콘택트 홀의 형성 공정 등이 용이하게 되어, 각 콘택트 홀의 직경도 작아지게 된다.

이러한 종류의 전기 광학 장치에 있어서는 표시 화상의 고품질화라고 하는 일반적인 요청이 강하므로, 이를 위해서는, 화상 표시 영역의 미세화나 혹은 화소 피치의 미세화 및 고화소 개구율화(즉, 각 화소에 있어서, 표시광이 투과하지 않는 비화소 개구 영역에 대한, 표시광이 투과하는 화소 개구 영역의 비율을 높이는 것)가 대단히 중요하게 된다.

그러나, 화소 피치가 미세화가 진행하면, 전극 사이지나 배선폭, 또는 콘택트 홀 직경 등에는 제조 기술에 의해 본질적인 미세화의 한계가 있기 때문에, 상대적으로 이들의 배선이나 전극 등이 화상 표시 영역을 점유하는 비율이 높아지기 때문에, 화소 개구율이 낮아지는 문제점이 있다.

또한, 이와 같이 화소 피치의 미세화가 진행하면, 한정된 기판 상 영역에 만들어 넣지 않으면 안되는 상술한 축적 용량을 충분한 크기로 하는 것이 곤란하게 된다. 여기서 특히, 상술한 배리어층을 사용하는 기술에 의하면, 배리어층은 데이터 선과 동일한 Al(Aluminium)막 등으로 이루어지는 도전막으로 구성되어 있기 때문에, 해당 배리어층의 위치나 재질에 기인하여, 콘택트 홀을 형성할 때의 자유도가 결집되며, 또한 해당 배리어층을 예를 들면 축적 용량을 증대시킨다고 하는 중계 기능 이외의 용도로 사용하는 것이 대단히 곤란하고, 특히 미세화된 적층 구조내에서 각 층을 최대한으로 이용하여 장치 구성의 단순화나 제조 프로세스의 효율화를 꾀하는 것이 불가능하다. 더우기, 이 기술에 의하면, 배리어층을 구성하는 Si막과 화소 전극을 구성하는 ITO(Indium Tin Oxide)막이 접촉함으로써, 화학 반응이 생기고, 미온화하기 쉬운 세막이 부식한다. 이로 인해, 배리어층과 화소 전극 사이의 전기적인 접속이 손상되기 때문에, Al막으로 이루어지는 제 1 배리어층위에 ITO 막과의 사이에서, 양호하게 전기적인 접속을 얻을 수 있는 Ti(titanium)막 등의 고용점 금속막을 제 2 배리어층으로서 사용될 필요가 있고, 층 구조 및 그의 제조 프로세스의 복잡화를 초래한다고 하는 문제점도 안고 있다.

본 발명은 상술한 문제점을 감안하여 이루어진 것으로, 화소 피치를 미세화하여도 비교적 간단한 구성을 사용하여, 화소 전극과 박막 트랜지스터를 양호하게 중계하는 구성이나 축적 용량을 증대시키는 구성이 가능하고, 고품질의 화상 표시가 가능한 전기 광학 장치 및 그의 제조방법을 제공하는 것을 과제로 한다.

발명의 상세한 설명

본 발명의 제 1 전기 광학 장치는 상기 과제를 해결하기 위해서, 기판에, 복수의 주사선 및 복수의 데이터 선과, 상기 주사선 및 상기 데이터 선에 접속된 박막 트랜지스터와, 해당 박막 트랜지스터에 접속된 화소 전극 및 축적 용량을 갖는 전기 광학 장치에 있어서,

상기 주사선 및 상기 축적 용량의 한쪽의 전극의 상부에 형성된 제 1 층간 절연막과, 해당 제 1 층간 절연막의 상부에 형성된 도전층과, 해당 도전층의 상부에 형성된 제 2 층간 절연막을 구비하고 있고, 상기 데이터 선은 상기 제 2 층간 절연막 상에 형성되어 있다.

본 발명의 제 1 전기 광학 장치에 의하면, 기판에는 주사선 및 축적 용량의 한쪽의 전극, 제 1 층간 절연막, 도전층, 제 2 층간 절연막, 데이터 선의 순서로 형성되어 있다. 따라서, 주사선과 데이터 선 사이의 층으로서 개재하는 도전층을 여러가지의 용도로 이용하는 것이 가능하게 된다. 예를 들면 우선, 도전층과 반도체층을 제 1 콘택트 홀을 통해 전기적으로 접속함과 동시에 도전층과 화소 전극을 제 2 콘택트 홀을 통해 전기적으로 접속함으로써, 도전층을 경유하여 반도체층과 화소 전극을 전기적으로 접속하는 구성이 가능하게 된다. 또는 도전층의 일부를, 반도체층의 일부나 축적 용량의 한쪽의 전극과 유전체막을 통해 대향하는 다른 축적 용량 전극으로 함으로써, 화소 전극에 대하여 축적 용량을 부여하는 구성도 가능하게 된다. 혹은 도전층을 차광막으로 형성함으로써, 도전층에 의해 화소의 개구 영역의 적어도 일부를 규정하는 구성도 가능하게 된다. 또한, 도전층으로부터 데이터 선, 주사선, 또는 축적 용량의 한쪽의 전극을 구성하기 위한 용량선을 제외한 다른 배선을 형성하는 구성이나, 도전층으로부터 데이터 선, 주사선 및 용량선의 잉여 배선(redundant wire)을 형성하는 구성도 가능하게 된다.

본 발명의 제 1 전기 광학 장치의 한 양태에 의하면, 상기 기판에, 상기 데이터 선의 상부에 형성된 제 3 층간 절연막을 또한 구비하고 있으며, 상기 화소 전극은 상기 제 3 층간 절연막 상에 형성됨과 동시에 상기 제 2 및 제 3 층간 절연막에 형성된 콘택트 홀을 통해 상기 도전층에 전기적으로 접속되어 있고, 상기 도전층은 상기 반도체층에 전기적으로 접속되어 있다.

이와 같이 구성하면, 데이터 선의 상방에는 제 3 층간 절연막을 거쳐 화소 전극이 형성되어 있고, 화소 전극은 제 2 및 제 3 층간 절연막에 형성된 컨택트 홀을 통해 도전층에 전기적으로 접속되어 있고, 도전층은 반도체층에 접속되어 있다. 따라서, 도전층을 경유하여 반도체층과 화소 전극을 전기적으로 접속하는 구성을 일게 된다.

본 발명의 제 2 전기 광학 장치는 상기 과제를 해결하기 위해서, 기판에, 복수의 주사선 및 복수의 데이터 선과, 각 상기 주사선 및 각 상기 데이터 선에 접속된 박막 트랜지스터와, 해당 박막 트랜지스터에 접속된 화소 전극과, 상기 박막 트랜지스터의 소스 영역 및 드레인 영역 및 제 1 축적 용량 전극을 구성하는 반도체층과, 해당 반도체층 상에 형성되어 있는 절연 박막과, 해당 절연 박막 상에 형성되어 있음과 동시에 상기 주사선의 일부로 이루어지는 상기 박막 트랜지스터의 게이트 전극과, 상기 절연 박막 상에 형성되어 있는 상기 축적 용량의 제 2 축적 용량 전극과, 상기 주사선 및, 상기 제 2 축적 용량 전극의 상방에 형성된 제 1 층간 절연막과, 해당 제 1 층간 절연막의 상방에 형성된 도전층과, 해당 도전층의 상방에 형성된 제 2 층간 절연막을 구비하고 있고, 상기 데이터 선은 상기 제 2 층간 절연막 상에 형성될 때 동시에 상기 절연 박막 및 상기 제 1 및 제 2 층간 절연막에 형성된 컨택트 홀을 통해, 상기 반도체층의 소스 영역에 전기적으로 접속되어 있다.

본 발명의 제 2 전기 광학 장치에 의하면, 기판에는 주사선 및 제 2 축적 용량 전극, 제 1 층간 절연막, 도전층, 제 2 층간 절연막, 데이터 선의 순서로 형성되어 있고, 화소 전극은 또한 그의 상방에 형성되어 있다. 그리고, 데이터 선은 제 1 및 제 2 층간 절연막에 형성된 컨택트 홀을 통해, 반도체층의 소스 영역에 전기적으로 접속되어 있다. 이들에 부가하여, 반도체층의 일부로 소스 영역 및 드레인 영역이 구성되어 있고, 절연 박막의 일부로 박막 트랜지스터의 게이트 절연막이 구성되어 있으며, 또한 절연 박막 상에 주사선의 일부로 이루어지는 박막 트랜지스터의 게이트 전극이 형성되어 있다. 한편, 반도체층의 일부로, 제 1 축적 용량 전극이 구성되어 있고, 절연 박막의 일부로 축적 용량의 유전체막이 구성되어 있고, 더우기, 절연 박막 상에 용량선의 일부로 이루어지는 제 2 축적 용량 전극이 형성되어 있다. 따라서, 박막 트랜지스터가 주사선의 하측에 배치되고, 이것에 병행하여 제 2 축적 용량 전극의 하측에 축적 용량이 배치된 구조를 일게 된다. 따라서, 이러한 축적 용량이 박막 트랜지스터에 병행하여 형성된 구성에 있어서, 주사선과 데이터 선과의 사이의 층으로서 게재하는 도전층을 여러가지의 용도로 이용하는 것이 가능하게 된다. 예를 들면 우선, 도전층의 일부를, 제 2 축적 용량 전극과 제 1 층간 절연막을 거쳐 대항하는 제 3 축적 용량 전극으로 한으로써, 즉, 제 1 층간 절연막을 이 개소에서 축적 용량의 유전체막으로서 도전층의 일부와 제 2 축적 용량 전극을 대항 배치함으로써, 화소 전극에 대하여(제 1 축적 용량 전극 및 제 2 축적 용량 전극으로 이루어지는 축적 용량에 부가하여) 추가적으로 축적 용량을 부여하는 구성도 가능하게 된다. 또는 상술한 본 발명의 제 1 전기 광학 장치의 경우와 같이, 도전층을 경유하여 반도체층과 화소 전극을 전기적으로 접속하는 구성, 도전층에 의해 화소의 게구 영역의 적어도 일부를 규정하는 구성, 도전층으로 데이터선, 주사선 또는 제 2 축적 용량을 형성하기 위한 용량선을 제외하는 다른 배선 혹은 이들의 잉여 배선을 형성하는 구성도 가능하게 된다.

본 발명의 제 2 전기 광학 장치의 하나의 양태에 의하면, 상기 도전층은 상기 제 1 층간 절연막 및 상기 절연 박막에 형성된 컨택트 홀을 통해 상기 반도체층의 드레인 영역에 전기적으로 접속되어 있다.

이와 같이 구성하면, 데이터 선은 절연 박막 및 제 1 및 제 2 층간 절연막에 형성된 컨택트 홀을 통해, 반도체층의 소스 영역에 전기적으로 접속되어 있고, 도전층은 제 1 층간 절연막 및 절연 박막에 형성된 컨택트 홀을 통해, 반도체층의 드레인 영역에 전기적으로 접속되어 있다. 따라서, 도전층을, 화소 전극에 접속된 축적 용량의 전극으로서 사용하는 구성이 용이하여 가능하게 되며, 동시에, 도전층을 경유하여 화소 전극과 드레인 영역을 전기적으로 접속하는 구성도 용이하여 가능하게 된다.

본 발명의 제 2 전기 광학 장치의 다른 양태에 의하면, 상기 기판에, 상기 데이터 선의 상방에 형성된 제 3 층간 절연막을 또한 구비하고 있으며, 상기 화소 전극은 상기 제 3 층간 절연막 상에 형성될 때 동시에 상기 제 2 및 제 3 층간 절연막에 형성된 컨택트 홀을 통해, 상기 도전층에 전기적으로 접속되어 있다.

이와 같이 구성하면, 데이터 선의 상방에는 제 3 층간 절연막을 거쳐 화소 전극이 형성되어 있고, 화소 전극은 제 2 및 제 3 층간 절연막에 형성된 컨택트 홀을 통해 도전층에 전기적으로 접속된다. 따라서, 도전층을 경유하여 화소 전극과 드레인 영역을 전기적으로 접속하는 구성도 용이하여 가능하게 된다.

본 발명의 제 3 전기 광학 장치에 의하면, 기판에, 매트릭스 형상으로 배열된 복수의 화소 전극 및 박막 트랜지스터와, 해당 박막 트랜지스터에 접속되어 있고 층간 절연막을 거쳐 입체적으로 서로 교차하는 주사선 및 데이터 선과, 상기 박막 트랜지스터를 구성하는 반도체층과 상기 화소 전극 사이에 게재하여, 상기 반도체층의 드레인 영역과 제 1 컨택트 홀을 통해 전기적으로 접속되며 동시에 상기 화소 전극과 제 2 컨택트 홀을 통해 전기적으로 접속된 도전층과, 상기 반도체층 부분과 동일막으로 이루어지는 제 1 축적 용량 전극과 상기 제 1 축적 용량 전극 상에 배치된 제 2 축적 용량 전극 사이에 게재하는 제 1 유전체막과, 상기 제 2 축적 용량 전극과 상기 도전층의 일부로 이루어지는 제 3 축적 용량 전극 사이에 게재하는 제 2 유전체막을 구비한다.

본 발명의 제 3 전기 광학 장치에 의하면, 기판에는 복수의 주사선 및 복수의 데이터선이 층간 절연막을 거쳐 입체적으로 서로 교차하고 있고, 복수의 화소 전극에 축적 용량을 각각 부가하기 위한 제 2 축적 용량 전극이 별도로 형성되어 있다. 그리고, 도전층은 반도체층과 화소 전극 사이에 게재하고 있고, 한쪽에서 반도체층의 드레인 영역과 제 1 컨택트 홀을 통해 전기적으로 접속되어 있으며, 또는 화소 전극과 제 2 컨택트 홀을 통해 전기적으로 접속되어 있다. 그러므로, 화소 전극으로부터 드레인 영역까지 하나의 컨택트 홀을 형성하는 경우와 비교하여, 컨택트 홀의 직경을 작게 할 수 있다. 즉, 컨택트 홀을 깊게 형성할수록 에칭 정밀도는 떨어지기 때문에, 얇은 반도체층에서의 판동을 방지하기 위해서, 컨택트 홀의 직경을 작게 할 수 있는 건식 에칭을 도중에 정지하고, 최종적으로 습식 에칭으로 반도체층까지 형성하도록 공정을 조합하지 않으면 안된다. 이 때문에, 저항성이 없는 습식 에칭에 의해 컨택트 홀의 직경이 넓어지지 않을 수 있는 것이다. 이것에 대하여 본 발명에서는 화소 전극 및 반도체층의 드레인 영역 사이를 2개의 직렬인 제 1 및 제 2 컨택트 홀에 의해 접속하면 되므로, 각 컨택트 홀을 건식 에칭에 의해 형성하는 것이 가능하게 되거나, 혹은 적어도 습식 에칭에 의해 형성하는 거리를 짧게 하는 것이 가능하게 된다. 이 결과, 제 1 및 제 2 컨택트 홀의 직경을 각각 작게 할 수 있고, 제 1 컨택트 홀에서의 도전층

의 표면에 형성되는 오목함이나 요철도 작아지게 되므로, 그의 상방에 위치하는 화소 전극 부분에서의 평탄화가 촉진된다. 또한, 제 2 컨택트 홀에서의 화소 전극의 표면에 형성되는 오목함이나 요철도 작아지게 되므로, 이 화소 전극 부분에서의 평탄화가 촉진된다. 이들의 결과, 화소 전극 표면의 오목함이나 요철에 기인하는 액정 등의 전기 광학물질에서의 디스클리네이션(discination) 등의 불량률이 감소된다.

또한, 제 1 유전체막이 반도체층의 드레인 영역을 구성하는 반도체층 부분과 동일막으로 이루어지는 제 1 축적 용량 전극과 이 제 1 축적 용량 전극 상에 배치된 제 2 축적 용량 전극 사이에 개재하기 때문에, 이들 3자에 의해 제 1 축적 용량이 반도체층의 드레인 영역에 전기적으로 접속된 화소 전극에 추가된다. 이것에 추가하여, 제 2 유전체막이 제 2 축적 용량 전극과 도전층의 일부로 이루어지는 제 3 축적 용량 전극 사이에 개재하기 때문에, 이들 3자에 의해 제 2 축적 용량이 화소 전극에 추가된다. 따라서, 도전층을 중앙으로 하여 그의 상하에 병렬로 접속된 제 1 및 제 2 축적 용량이 형성된다. 이와 같이 한정된 기판 상 영역에 입체적인 축적 용량을 구축할 수 있다. 여기서 특히, 제 1 및 제 2 유전체막은 모두, 입체적으로 서로 교차하는 주사선과 데이터 선 사이에 개재하는 제 2 층간 절연막과는 다른 층의 유전체막으로 이루어진다. 따라서, 플리커(flicker) 등의 원인이 되는 화상 신호의 전압 강하를 야기하는 주사선 및 데이터선 사이의 기생 용량(parasitic capacitance)을 억제하기 위해서, 일정한 두께가 요구되는 제 2 층간 절연막의 두께와는 무관하게 이들의 제 1 및 제 2 유전체막을 기술적인 한계까지 얇게 구성하는 것이 가능하게 된다. 기령, 데이터 선과 동일한 도전층으로부터 배리어층(본 발명에서의 도전층에 상당한다)이 구성되는 상술한 종래 기술에 있어서, 상기 배리어층을 축적 용량의 한쪽의 전극으로서 사용하며, 데이터 선 및 주사선 사이의 층간 절연막을 유전체막으로서 사용하는 것으로 가정하면, 상기 유전체막에는 데이터 선 및 주사선 사이의 기생 용량이 되지 않도록 하기 위해서 800nm 정도의 두께가 필요하게 되므로, 해당 배리어층을 사용하여 대응량의 축적 용량을 구축하는 것은 근본적으로 곤란하게 된다. 이에 반해 본 발명에 의하면, 얇게 구성 가능한 유전체막을 사용함으로써, 축적 용량에 있어서 유전체막의 두께에 반비례하는 용량치를 대단히 효율적으로 증가시키는 것이 가능하게 된다.

또한, 이와 같이 유전체막을 얇게 형성함으로써, 제 1 컨택트 홀의 직경을 더욱 작게 할 수 있으므로, 상술한 제 1 컨택트 홀에서의 도전층의 오목함이나 요철이 더욱 작아지게 되며, 그의 상방에 위치하는 화소 전극에 있어서의 평탄화가 더욱 촉진된다. 따라서, 화소 전극에 있어서의 오목함이나 요철에 기인한 전기 광학물질의 불량률이 저감되어, 최종적으로는 한층더 고품질의 화상 표시가 가능하게 된다.

또, 본 발명의 구성에 있어서, 도전층에서의 축적 용량 부가 기능을 대신하여 또는 추가하여, 도전층에서의 차광 기능이나 컨택트 홀의 레이아웃 등을 겸사하여, 도전층이나 제 2 유전체막을 주사선 상에 덮달 때까지 형성하는 경우에는 제 2 유전체막을 도전층 및 주사선 사이의 기생 용량이 문제가 되지 않는 정도로 두껍게 형성하면 된다. 따라서 이 경우에는 상술된 바와 같이 제 2 유전체막을 기술적인 한계까지 얇게 구성하여 축적 용량을 증대시키는 것이 곤란하게 된다. 단지, 장치 수단상 충분한 축적 용량이 부가 가능하면, 제 2 유전체막을 그 이상 얇게 할 필요는 없기 때문에, 그만큼 해당 도전층이 가지는 차광 기능 등의 다른 부가적 기능이 촉진되도록 구성하는 것이 전기 광학 장치 전체로서 유리하다. 결국, 구체적인 장치 수단에 개별적이고 구체적으로 감안하여, 도전층에 의해, 본래의 층계 기능, 필요한 축적 용량을 부가하는 기능 및 차광 기능 등의 다른 부가적 기능이 충분히 발휘되도록, 도전층의 평면 레이아웃이나 제 2 유전체막의 두께 등을 설정하면 된다.

본 발명의 제 3 전기 광학 장치의 하나의 양태에서는 상기 제 1 축적 용량 전극과 상기 제 2 축적 용량 전극은 평면적으로 보아 상기 제 1 유전체막을 통해 적어도 일부가 겹쳐지고, 상기 제 2 축적 용량 전극과 상기 제 3 축적 용량 전극은 상기 제 2 유전체막을 통해 적어도 일부를 겹칠 수 있다.

이와 같이 구성하면, 제 2 축적 용량 전극을 중앙으로 하여 그의 상하에 병렬로 제 1 및 제 3 축적 용량 전극이 형성된다. 이와 같이 한정된 기판 상 영역에 입체적인 축적 용량을 구축할 수 있다.

본 발명의 제 3 전기 광학 장치의 하나의 양태에서는 상기 제 1 유전체막과 상기 절연 박막은 동일막으로 이루어지고, 상기 주사선과 상기 제 2 축적 용량 전극과는 동일막으로 이루어지며, 상기 제 2 층간 절연막은 상기 주사선 및 상기 도전층 상에 형성되어 있다.

이와 같이 구성하면, 제 1 유전체막과 박막 트랜지스터의 절연 박막은 동일막으로 이루어지기 때문에 동일 공정으로 이들의 절연막을 형성할 수 있고, 주사선과 제 2 축적 용량 전극은 동일막으로 이루어지기 때문에 동일 공정으로 이들의 도전막을 형성할 수 있다. 그리고, 제 2 층간 절연막은 주사선 및 도전층 상에 형성되어 있으며, 또한 그 위에 데이터 선이 형성된다. 따라서, 제 1 및 제 2 유전체막을 얇게 형성하여 축적 용량을 크게 할 수 있는 동시에, 제 2 층간 절연막을 두껍게 형성하여 주사선과 데이터 선 사이에서의 기생 용량을 작게 할 수 있다. 이 결과, 비교적 간단한 구성을 사용하여 고품질의 화상 표시가 가능하게 된다.

본 발명의 제 3 전기 광학 장치의 다른 양태에서는 상기 제 1 층간 절연막과 상기 제 2 유전체막은 동일막으로 이루어진다.

이와 같이 구성하면, 제 1 층간 절연막과 제 2 유전체막은 동일 공정으로 형성하는 것이 가능하게 되어, 공정수가 증가하지 않아서 유리하다.

본 발명의 제 1, 제 2 또는 제 3 전기 광학 장치의 다른 양태에서는 상기 도전층은 도전성의 차광막으로 이루어진다.

이와 같이 구성하면, 도전성의 차광막으로 이루어지는 도전층에 의해, 각 화소 개구 영역을 적어도 부분적으로 규정하는 것이 가능하게 된다. 이와 같이 다른쪽의 기판(통상적으로는 대향 기판)에 형성되는 차광막이 아니라, 기판(통상은 TFT 어레이 기판) 상에 내장 차광막(즉, 차광막으로 이루어지는 도전층)의 일부 혹은 전부를 형성하는 구성은 제조 프로세스에 있어서의 기판과 대향 기판과의 위치 어긋남에 의해 화소 개구율의 저하를 초래하지 않는 점에서 대단히 유리하다.

이 도전층이 차광막으로 이루어지는 양태에서는 상기 도전층은 상기 기판 상에서의 평면형상이 서로 인접하는 데이터 선 사이를 상기 주사선을 따라 선장하고, 각 화소 전극마다 점 형상으로 구성되어도 된다.

이와 같이 도전층을 섬 형상으로 구성하면, 도전층을 구성하는 막의 응력의 영향을 저감할 수 있을 뿐만 아니라 화소 개구 영역의 주사선에 따른 변의 일부 또는 전부를 도전층으로 규정하는 것이 가능하게 된다. 특히, 구체적인 회로 설계에 따라서 주사선 및 도전층 사이의 기생 용량이 문제가 되는 경우는 주사선 상에는 도전층을 형성하지 않고, 용량선과 화소 전극이 인접하는 화소에서의 화소 개구 영역의 주사선에 따른 변을 해당 도전층에 의해 규정하는 것이 바람직하다.

이 섬 형상의 차광막을 도전층으로서 형성하는 상태에서는 상기 서로 인접하는 데이터 선과 상기 도전층은 평면적으로 보아 적어도 일부가 겹치도록 구성하여도 된다.

이와 같이 구성하면, 평면적으로 보아 섬 형상의 도전층의 단부와 데이터 선의 가장자리 사이에 광이 투과하도록 하는 간극이 생기지 않게 된다. 즉, 이 데이터 선의 가장자리부와 도전층의 단부가 일치 또는 약간 겹쳐 있으면, 이 부분에서의 광 누락 등의 표시 불량을 방지할 수 있다.

상술한 도전층이 차광막으로 이루어지는 상태에서는 상기 도전층은 평면적으로 보아 상기 주사선과 겹치도록 형성하여 바람직하다.

이와 같이 구성하면, 주사선 및 용량선의 양자를 각각 적어도 부분적으로 덮는 차광막으로 이루어지는 도전층으로, 화소 개구 영역의 주사선에 따른 변을 규정하는 것이 가능하게 된다.

상술한 도전층이 차광막으로 이루어지는 상태에서는 상기 도전층은 고용점 금속을 포함하여도 된다.

이와 같이 구성하면, 차광막으로 이루어지는 도전층의 형성 공정 후에 행하여지는 고온 처리에 의해, 도전층이 파괴되거나 용융하지 않도록 할 수 있다. 예를 들면, 차광막은 불투명한 고용점 금속인 Ti, Cr (크롬), W(텅스텐), Ta(탄탈럼), Mo(몰리브덴) 및 Pb(납) 중의 적어도 하나를 포함하는 금속 단량체, 합금, 금속 실리사이드(silicide) 등으로 구성된다.

본 발명의 제 1, 제 2 또는 제 3 전기 광학 장치의 다른 상태에서는 상기 도전층은 도전성의 폴리실리콘막으로 구성되어 있다.

이와 같이 구성하면, 도전성의 폴리실리콘막으로 이루어지는 도전층은 차광막으로서의 기능은 발휘하지 않지만, 축적 용량을 증가시키는 기능 및 중계 기능은 충분히 발휘할 수 있다. 이 경우에는 특히, 절연막 사이에서 열 등에 의한 스트레스가 발생하기 어렵게 되므로, 해당 도전층 및 그 주변에서의 크랙 방지에 도움이 된다.

본 발명의 제 1, 제 2 또는 제 3 전기 광학 장치의 다른 상태에서는 상기 도전층은 도전성의 폴리실리콘막과 고용점 금속과의 2층 이상의 적층막으로 구성되어 있다.

이와 같이 구성하면, 도전성의 폴리실리콘막으로 이루어지는 도전층은 차광막으로서의 기능은 발휘하지 않지만, 축적 용량을 증가시키는 기능 및 중계 기능은 충분히 발휘할 수 있다. 또한 반도체층과 도전성의 폴리실리콘막을 전기적으로 접속할 때에, 동일 폴리실리콘막으로 형성하면, 컨택트 저항을 더욱 저감할 수 있다. 또한, 이러한 도전성 폴리실리콘막 상에 고용점 금속을 적층하면, 차광막으로서의 기능을 발휘함과 동시에, 또한 저항을 낮출 수 있다.

본 발명의 제 1, 제 2 또는 제 3 전기 광학 장치의 다른 상태에서는 상기 기판 상에, 적어도 상기 반도체층의 채널 영역을 상기 기판 측에서 보아 각각 덮는 위치에 형성된 차광막을 또한 구비한다.

이와 같이 구성하면, 박막 트랜지스터보다도 기판에 가까운 측, 즉 박막 트랜지스터의 하측에 형성한 차광막에 의해, 기판측에서의 복귀 광 등이 박막 트랜지스터의 채널 영역이나 LOD(Lightly Doped Drain) 영역에 입사하는 사태를 미연에 방지할 수 있으며, 이것에 기인한 광전류의 발생에 의해 박막 트랜지스터의 특성이 변화하거나, 열화하는 것을 방지할 수 있다. 그리고, 이 차광막에 의해 화소 개구 영역의 일부 또는 전부를 규정하는 것도 가능하게 된다.

이 차광막을 구비한 상태에서는 적어도 상기 차광막은 상기 주사선 아래에 연장되어 정전위선에 접속되어도 된다.

이와 같이 구성하면, 차광막의 전위가 변동하여, 해당 차광막의 상부에 기층 절연막(underlying insulating film)을 거쳐 형성되는 박막 트랜지스터의 특성이 변화하거나, 열화하는 사태를 미연에 방지할 수 있다.

혹은 이 차광막을 구비한 상태에서는 상기 차광막은 상기 차광막과 상기 반도체층 사이에 개재하는 기층 절연막에 형성된 컨택트 홀을 통해 상기 제 2 축적 용량 전극과 전기적으로 접속되어도 된다.

이와 같이 구성하면, 제 2 축적 용량 전극 및 차광막의 전위를 동일하게 할 수 있으며, 제 2 축적 용량 전극 및 차광막 중의 어느 한 쪽을 소정 전위로 하는 구성을 채용하면, 다른 쪽의 전위도 소정 전위로 할 수 있다. 그 때, 차광막을 용량선으로 하면, 제 2 축적 용량 전극은 용량선에 접속되어지게 되며, 제 2 축적 용량 전극에 일정한 전위를 부여할 수 있다. 이 결과, 제 2 축적 용량 전극이나 차광막에서의 전위 요동에 의한 악영향을 저감할 수 있다.

본 발명의 제 3 전기 광학 장치의 다른 상태에서는 상기 제 2 축적 용량 전극은 연장되며 용량선임을 특징으로 한다.

이와 같이 구성하면, 용량선의 전위를 일정하게 할 수 있으며, 제 2 축적 용량 전극의 전위를 안정시킬 수 있다. 또한, 그 때, 용량선과 주사선을 동일막으로 형성할 수 있다.

본 발명의 제 3 전기 광학 장치의 다른 상태에서는 상기 용량선은 상기 기층 절연막을 거쳐 상기 차광막과 전기적으로 접속되어지는 것을 특징으로 한다.

이와 같이 구성하면, 용량선 및 차광막의 전위를 동일하게 할 수 있으며, 용량선 및 차광막 중 어느 한 쪽을 소정 전위로 하는 구성을 채용하면, 다른 쪽의 전위도 소정 전위로 할 수 있다. 이 결과, 용량선이나 차광막에서의 전위 요동에 의한 악영향을 저감할 수 있다. 또한, 차광막으로 이루어지는 배선과 용량선

을 서로 양면 배선으로서 가능시킬 수 있다.

본 발명의 제 3 전기 광학 장치의 다른 양태에서는 상기 도전층과 상기 차광막은 평면적으로 보아 적어도 일부로 겹쳐도 된다.

이와 같이 구성하면, 반도체층의 채널 영역을 삽입하도록 하여 도전층과 차광막이 형성되기 때문에, 기판 측으로부터의 광의 침입과, 다른 쪽으로부터의 광의 침입을 방지할 수 있다. 이로 인해, 박막 트랜지스터의 특성이 변화하거나, 열화하는 사태를 미연에 방지할 수 있으며, 크로스토크(crosstalk)의 발생이나 콘트라스트 비의 저하나 플리커 레벨의 악화를 방지할 수 있다.

본 발명의 제 1, 제 2 또는 제 3 전기 광학 장치의 다른 양태에서는 상기 기판과 상기 박막 트랜지스터 사이에 기층 절연막을 구비함과 동시에 상기 데이터 선 상 또는 상기 화소 전극의 아래에 설치된 제 3 층간 절연막을 구비하고 있고, 상기 기판 및 상기 기층 절연막 및 제 2 층간 절연막 및 상기 제 3 층간 절연막 중 적어도 하나는 상기 박막 트랜지스터, 주사선, 데이터 선, 및 축적 용량에 대응하는 영역의 적어도 일부만이 오목형상으로 오목하게 형성됨으로써, 상기 화소 전극의 기층 표면이 거의 평탄화되어 있다.

이와 같이 구성하면, 기판 및 복수의 층간 절연막 중 적어도 하나는 박막 트랜지스터, 주사선, 데이터선, 및 축적 용량에 대응하는 영역의 적어도 일부만이 오목형상으로 오목하게 형성되므로, 데이터선에 걸쳐 박막 트랜지스터, 주사선, 축적 용량 등이 형성되는 영역과 다른 영역의 단차(difference)가 저감된다. 이와 같이 하여 화소 전극의 하측 표면이 거의 평탄화되어 있으므로, 화소 전극을 보다 한층 평탄화할 수 있으며, 화소 전극 표면의 오목함이나 요철에 기인하는 액정 등의 전기 광학 특질에서의 디스플리네이션 등의 불량도 저감되어, 최종적으로는 고품질의 화상 표시가 가능하게 된다.

본 발명의 제 3 전기 광학 장치의 다른 양태에서는 상기 제 1 콘택트홀과 상기 제 2 콘택트홀은 상기 기판에서의 상이한 평면 위치에 형성되어 있다.

제 1 콘택트 홀이 형성된 평면 위치에서의 도전층에는 다소의 오목함이나 요철이 생기기 때문에, 그 바로 위에 제 2 콘택트홀을 또한 형성한 것에서는 요철이 증폭하여, 양호하게 전기적인 접속을 갖는 것이 곤란하게 된다. 그래서, 상기와 같이 양자의 평면 위치를 약간이라도 머긋나게 놓으면, 양호하게 전기적인 접속을 기대할 수 있다.

본 발명의 제 1, 제 2 또는 제 3 전기 광학 장치의 다른 양태에서는 상기 도전층의 막 두께는 50nm 이상 500nm 이하이다.

이와 같이 구성하면, 도전층의 박막은 50nm 이상 500nm 이하이므로, 도전층의 존재에 기인하는 화소 전극 표면에서의 단차에 의한 피해(예를 들면, 액정의 배향 불량 등)가 거의 또는 전혀 생기지 않거나 혹은 도전층의 상방에 위치하는 층간절연막 등에서의 평탄화 처리에 의해, 이러한 단차에 의한 영향을 제거하는 것이 가능하게 된다. 그리고, 이와 같이 도전층에 의한 피해를 저감하면서 상술한 바와 같은 도전층에 의해 여러가지의 이익을 얻는 것이 가능하게 된다.

본 발명의 제 2 전기 광학 장치의 다른 양태에서는 상기 1 층간 절연막의 막두께는 10nm 이상 200nm 이하이다.

이와 같이 구성하면, 제 1 층간 절연막의 막두께는 10nm 이상 200nm 이하이고, 비교적 얇은 절연막이다. 이 때문에, 이 제 1 층간 절연막을 유전체막으로서 이용하여, 상술한 바와 같이 이 제 1 층간 절연막을 거쳐 제 2 축적 용량 전극과 도전층을 대향 배치시켜 이루어진 추가적인 축적 용량을 구축하면, 이 얇기에 따라서 대응량의 축적 용량을 얻게 된다.

본 발명의 제 3 전기 광학 장치의 다른 양태에서는 상기 제 2 유전체막의 막두께는 10nm 이상 200nm 이하이다.

이와 같이 구성하면, 제 2 유전체막의 막두께는 10nm 이상 200nm 이하이고, 비교적 얇은 절연막이다. 이 때문에, 이 제 2 유전체막을 통해 제 2 축적 용량 전극과 제 3 축적 용량 전극을 대향 배치시켜 이루어지는 축적 용량은 이 얇기에 따라서 대응량이 된다.

본 발명의 도전층이 차광막으로 이루어지는 양태에서는 상기 도전층은 화소의 개구 영역의 적어도 일부를 규정하도록 구성하여도 된다.

이와 같이 구성하면, 도전층 단독으로, 혹은 데이터 선이나 다른쪽의 기판에 형성된 차광막 등과 함께, 화소의 개구 영역을 규정하는 것이 가능하게 된다. 특히 다른 쪽의 기판에 차광막을 형성하지 않고 개구 영역을 규정하면, 제조 프로세스에 있어서의 공정을 삭감하는 것이 가능해지고 동시에 한 쌍의 기판 사이의 얼라인먼트(alignment)의 머긋남에 의한 화소 개구들의 저하나 격차를 방지하는 것도 가능하게 되어 유리하다.

본 발명의 전기 광학 장치의 제조방법은 상기 과제를 해결하기 위해서, 복수의 주사선과, 복수의 데이터 선과, 상기 주사선과 데이터 선에 접속된 박막 트랜지스터와, 상기 박막 트랜지스터에 접속된 화소 전극과 축적 용량을 갖는 전기 광학 장치의 제조방법에 있어서, 기판 상에, 상기 박막 트랜지스터의 소스 영역, 채널 영역 및 드레인 영역 및 상기 축적 용량의 제 1 축적 용량 전극이 되는 반도체층을 형성하는 공정과, 상기 반도체층 상에 절연 박막을 형성하는 공정과, 상기 절연 박막 상에 상기 주사선 및 상기 축적 용량의 제 2 축적 용량 전극을 각각 형성하는 공정과, 상기 제 2 축적 용량 전극 상에 제 1 층간 절연막을 형성하는 공정과, 상기 게이트 절연막 및 상기 제 1 층간 절연막에 대하여 상기 제 1 콘택트 홀을 형성하는 공정과, 상기 제 1 콘택트 홀을 통해 상기 반도체층에 전기적으로 접속되도록 상기 제 1 층간 절연막 상에 도전층을 형성하는 공정과, 상기 도전층 상에 제 2 층간 절연막을 형성하는 공정과, 상기 제 2 층간 절연막 상에 상기 데이터 선을 형성하는 공정과, 상기 데이터 선 상에 상기 제 3 층간 절연막을 형성하는 공정과, 상기 제 2 층간 절연막에 대하여 상기 제 2 콘택트 홀을 형성하는 공정과, 상기 제 2 콘택트 홀을 통해 상기 도전층에 전기적으로 접속되도록 화소 전극을 형성하는 공정을 포함한다.

본 발명의 전기 광학 장치의 제조방법에 의하면, 비교적 간단한 각 공정을 사용하여 제조할 수 있다.

본 발명의 전기 광학 장치의 제조방법의 하나의 양태에서는 상기 기판의 상기 채널 영역에 대항하는 영역에 차광막을 형성하는 공정과, 해당 차광막 상에 기층 절연막을 형성하는 공정을 또한 포함하며, 상기 반도체층을 형성하는 공정으로는 상기 기층 절연막 상에 상기 반도체층을 형성한다.

이와 같이 구성하면, 박막 트랜지스터의 하층에 차광막이 형성된 전기 광학 장치를 비교적 적은 공정수로 또한 비교적 간단한 각 공정을 이용하여 제조할 수 있다.

본 발명의 전기 광학 장치의 제조방법의 하나의 양태에서는 상기 기판 및 상기 기층 절연막 및 상기 제 2 층간 절연막 및 상기 제 3 층간 절연막 중 적어도 하나를 상기 박막 트랜지스터, 주사선, 데이터 선, 및 축적 용량에 대응하는 영역의 적어도 일부는 오목형상으로 오목하게 하는 공정을 갖는다.

이와 같은 양태에 의하면, 박막 트랜지스터, 주사선, 데이터선 및 축적 용량에 대응하는 영역의 일부분을 오목형상으로 형성함으로써, 화소 전극의 하층 표면을 평탄화할 수 있으며, 디스플레이네이션 등의 불량을 저감할 수 있다. 본 발명의 이러한 작용 및 다른 이점은 다음에 설명하는 실시예로부터 밝힌다.

도면의 간단한 설명

도 1은 전기 광학 장치의 제 1 실시예인 액정 장치에 있어서의 화상 표시 영역을 구성하는 매트릭스 형상의 복수의 화소로 형성된 각종 소자, 배선 등의 등가 회로도.

도 2는 제 1 실시예의 액정 장치에서의 데이터 선, 주사선, 화소 전극, 차광막 등이 형성된 TFT 어레이 기판의 서로 인접하는 복수의 화소군의 평면도.

도 3은 도 2의 A-A' 단면도.

도 4는 제 1 실시예의 액정 장치의 제조 프로세스를 순서를 따라 도시한 공정도(제 1 실시예의 첫 번째).

도 5는 제 1 실시예의 액정 장치의 제조 프로세스를 순서를 따라 도시한 공정도(제 1 실시예의 두 번째).

도 6은 제 1 실시예의 액정 장치의 제조 프로세스를 순서를 따라 도시한 공정도(제 1 실시예의 세 번째).

도 7은 제 1 실시예의 액정 장치의 제조 프로세스를 순서를 따라 도시한 공정도(제 1 실시예의 네 번째).

도 8은 전기 광학 장치의 제 2 실시예인 액정 장치에서의 데이터 선, 주사선, 화소 전극, 차광막 등이 형성된 TFT 어레이 기판의 서로 인접하는 복수의 화소군의 평면도.

도 9는 도 8의 B-B' 단면도.

도 10은 전기 광학 장치의 제 3 실시예인 액정 장치의 단면도.

도 11은 전기 광학 장치의 제 4 실시예인 액정 장치의 단면도.

도 12는 전기 광학 장치의 제 5 실시예인 액정 장치의 단면도.

도 13은 각 실시예의 액정 장치에 있어서의 TFT 어레이 기판을 그 위에 형성된 각 구성 요소와 함께 대향 기판 측에서 본 평면도.

도 14는 도 12의 H-H' 단면도.

도 15는 본 발명에 의한 전자기기의 실시예의 개략적인 구성을 도시한 블록도.

도 16은 전자기기의 일 예로서 프로젝터를 도시한 단면도.

도 17은 전자기기의 다른 예로서의 퍼스날 컴퓨터를 도시한 평면도.

1a: 반도체층 1b: 채널 영역

1c: 저농도 소스 영역 1d: 저농도 드레인 영역

1e: 고농도 소스 영역 1f: 고농도 드레인 영역

2: 제 1 축적 용량 전극 3: 절연 박막(제 1 유전체막)

3a: 주사선 3b: 용량선

4: 제 2 층간 절연막 5: 콘택트 홀

6a: 데이터 선 7: 제 3 층간 절연막

8a: 제 1 콘택트 홀 8b: 제 2 콘택트 홀

9a: 화소 전극 10: TFT 어레이 기판

11a, 11b: 제 1 차광막 12: 기층 절연막

15: 콘택트 홀 16: 배향막

20: 대향 기판 21: 대향 전극

22: 배향막 23: 제 2 차광막

30: TFT 50: 액정층

52: 시일재 53: 제 3 차광막

70: 축적 용량 70a: 제 1 축적 용량

70b; 제 2 축적 용량 80; 배리어층

81; 제 1 층간 절연막(제 2 유전체막)

101; 데이터 선 구동 회로 104; 주사선 구동 회로

실시예

이하, 본 발명의 실시예를 도면을 참조하여 설명한다.

(전기 광학 장치의 제 1 실시예)

본 발명에 의한 전기 광학 장치의 제 1 실시예인 액정 장치의 구성에 대해서, 도 1 내지 도 3을 참조하여 설명한다. 도 1은 액정 장치의 화상 표시 영역을 구성하는 매트릭스 형상으로 형성된 복수의 화소에서의 각종 소자, 배선 등의 등가 회로이고, 도 2는 데이터 선, 주사선, 화소 전극, 차광막 등이 형성된 TFT 어레이 기판의 서로 인접하는 복수의 화소군의 평면도이며, 도 3은 도 2의 A-A 단면도이다. 또한, 도 3에 있어서는 각 층이나 각 부재를 도면 상에서 인식 가능한 정도의 크기로 하기 위해서, 각 층이나 각 부재마다 축척을 다르게 하고 있다.

도 1에 있어서, 본 실시예에 있어서의 액정 장치의 화상 표시 영역을 구성하는 매트릭스 형상으로 형성된 복수의 화소는 화소 전극(9a)을 제어하기 위한 TFT(30)가 매트릭스 형상으로 복수로 형성되어 있고, 화상 신호가 공급되는 데이터 선(6a)에 해당 TFT(30)의 소스에 전기적으로 접속되어 있다. 화소 전극(9a) 및 TFT(30)는 주사선(3a)과 데이터 선(6a)과의 교차에 대응하여 배치되어 있다. 데이터 선(6a)에 기록된 화상 신호(S1, S2, ..., Sn)는 상기의 순서로 선순차로 공급하여도 상관없게 하고, 서로 인접하는 복수의 데이터 선(6a) 끼리에 대하여, 그들마다 공급하도록 하여도 된다. 또한, TFT(30)의 게이트에 주사선(3a)이 전기적으로 접속되어 있고, 소정의 타이밍으로, 주사선(3a)에 펄스적으로 주사 신호(G1, G2, ..., Gn)를, 상기의 순차로 선순차로 인가하도록 구성되어 있다. 화소 전극(9a)은 TFT(30)의 드레인에 전기적으로 접속되어 있고, 스위칭 소자인 TFT(30)를 일정 기간만 그의 스위칭을 끄는 것에 의해, 데이터 선(6a)에서 공급되는 화상 신호(S1, S2, ..., Sn)를 소정의 타이밍으로 기록한다. 화소 전극(9a)을 통해 액정에 기록된 소정 레벨의 화상 신호(S1, S2, ..., Sn)는 대향 기판(후술함)에 형성된 대향 전극(후술함)과의 사이에 서 일정 기간 유지된다. 액정은 인가되는 전압 레벨에 의해 분자 집합의 배향이나 질서가 변화함으로써, 광을 변조하여, 그레이 스케일 디스플레이(gray scale display)를 가능하게 한다. 노멀리 화이트 모드(normally white mode)이면, 인가된 전압에 따라서 입사광이 상기 액정부를 통과할 수 없고, 노멀리 블랙 모드이면, 인가된 전압에 따라서 입사광이 이 액정부를 통과할 수 있게 되어, 전체로서 액정 장치로 부터는 화상 신호에 따른 콘트라스트를 가지는 광이 출사된다. 여기서, 유지된 화상 신호가 리크(leaking)하는 것을 방지하기 위해서, 화소 전극(9a)과 대향 전극(후술함) 사이에 형성되는 액정 용량과 병렬로 축적 용량(70)을 부가한다. 예를 들면, 화소 전극(9a)의 전압은 소스 전압이 인가된 시간보다도 3자리수나 긴 시간만큼 축적 용량(70)에 의해 유지된다. 이것으로 인해, 유지 특성은 더욱 개선되어, 콘트라스트 비가 높은 액정 장치가 실현된다.

도 2에 있어서, 액정 장치의 TFT 어레이 기판 상에는 매트릭스 형상으로 복수의 투명한 화소 전극(9a; 전선부 9a에 의해 윤곽이 나타내어져 있다)이 형성되어 있고, 화소 전극(9a)의 증착의 각각의 경계에 따라서 데이터 선(6a), 주사선(3a) 및 용량선(3b)이 형성되어 있다. 데이터 선(6a)은 컨택트 홀(5)을 통해 폴리실리콘막 등으로 이루어지는 반도체층(1a) 중 후술하는 소스 영역에 전기적으로 접속되어 있고, 화소 전극(9a)은 도면 중 오른쪽 상측 사선으로 나타난 영역에 각각 형성되어 있어 버퍼로서 기능하는 도전층(80; 이하, 배리어층이라 한다)을 중개하여, 제 1 컨택트 홀(8a) 및 제 2 컨택트 홀(8b)을 통해 반도체층(1a) 중 후술하는 드레인 영역에 전기적으로 접속되어 있다. 또한 반도체층(1a) 중 채널 영역(1a'); 도면 중 오른쪽 아래 사선의 영역)에 대향하도록 주사선(3a)이 배치되어 있고, 주사선(3a)은 게이트 전극으로서 기능한다. 이와 같이, 주사선(3a)과 데이터 선(6a)과의 교차하는 개소에는 각각, 채널 영역(1a')에 주사선(3a)이 게이트 전극으로서 대향 배치된 TFT(30)가 형성되어 있다.

용량선(3b)은 주사선(3a)을 따라 거의 직선으로 신장하는 본선부(本線部)와, 데이터 선(6a)과 교차하는 개소에서 데이터 선(6a)을 따라서 전단측(도면 중, 상향)에 돌출한 돌출부를 갖는다.

또한, 도면 중 굵은 선으로 나타난 영역에는 각각, 주사선(3a), 용량선(3b) 및 TFT(30)의 하측을 지나도록, 제 1 차광막(11a)이 형성되어 있다. 보다 구체적으로는 도 2에 있어서, 제 1 차광막(11a)은 각각, 주사선(3a)을 따라 홀무늬(stripes)모양으로 형성되어 있음과 동시에, 데이터 선(6a)과 교차하는 개소가 도면 중 하방에 폭넓게 형성되어 있고, 이 폭 넓은 부분에 의해 각 TFT의 채널 영역(1a')을 TFT 어레이 기판측에서 보아 각각 덮는 위치에 형성되어 있다.

다음에 도 3의 단면도에 도시된 바와 같이, 액정 장치는 투명한 한쪽의 기판의 일례를 구성하는 TFT 어레이 기판(10)과, 이것에 대향 배치되는 투명한 다른쪽의 기판의 일례를 구성하는 대향 기판(20)을 구비하고 있다. TFT 어레이 기판(10)은 예를 들면 석영 기판으로 이루어지고, 대향 기판(20)은 예를 들면 글래스 기판이나 석영 기판으로 이루어진다. TFT 어레이 기판(10)에는 화소 전극(9a)이 형성되어 있고, 그의 상측에는 러빙(rubbing) 처리 등의 소정의 배향 처리가 실시된 배향막(16)이 형성되어 있다. 화소 전극(9a)은 예를 들면, ITO막 등의 투명 도전성 박막으로 이루어진다. 또한 배향막(16)은 예를 들면, 폴리이미드 박막 등의 유기 박막으로 이루어진다.

한편, 대향 기판(20)에는 그 전면에 걸쳐 대향 전극(21)이 형성되어 있고, 그의 하측에는 러빙(rubbing) 처리 등의 소정의 배향 처리가 실시된 배향막(22)이 형성되어 있다. 대향 전극(21)은 예를 들면, ITO 막 등의 투명 도전성 박막으로 이루어진다. 또한 배향막(22)은 폴리이미드 박막 등의 유기 박막으로 이루어진다.

TFT 어레이 기판(10)에는 각 화소 전극(9a)에 인접하는 위치에, 각 화소 전극(9a)을 스위칭 제어하는 화소 스위칭용 TFT(30)가 형성되어 있다.

대향 기판(20)에는 또한 도 3에 도시한 바와 같이, 각 화소의 비개구 영역에, 제 2 차광막(23)을 형성하여도 된다. 이 때문에, 대향 기판(20) 측으로부터 입사광이 화소 스위칭용 TFT(30)의 반도체층(1a)의 채널 영역(1a')이나 저농도 소스 영역(1b) 및 저농도 드레인 영역(1c)에 침입하지 않는다. 또한, 제 2 차광막(23)은 콘트라스트의 향상, 컬러 필터를 형성한 경우에 있어서의 색재의 혼색 방지 등의 기능을 갖는다.

미와 같이 구성되며, 화소 전극(9a)과 대향 전극(21)이 대면하도록 배치된 TFT 어레이 기판(10)과 대향 기판(20) 사이에는 후술의 씨일(seal)재로 플러쉬의 공간에 전기 광학 물질의 일례인 액정이 봉입되어, 액정층(50)이 형성된다. 액정층(50)은 화소 전극(9a)으로부터의 전계가 인가되어 있지 않은 상태에서 배향막(16, 22)으로 소정의 배향 상태를 취한다. 액정층(50)은 예를 들면 열중 또는 수중류의 네마틱(nematic) 액정을 혼합한 액정으로 이루어진다. 씨일재는 TFT 어레이 기판(10) 및 대향 기판(20)을 그들의 주변에서 접합시키기 위한, 예를 들면 광 경화성 수지나 열 경화성 수지로 이루어지는 접착제이며, 양 기판 사이의 거리를 소정치로 하기 위한 글래스 파이버 혹은 글래스 비드(bead) 등의 겹 재가 혼입되어 있다.

또한 도 3에 도시한 바와 같이, 화소 스위칭용 TFT(30)에 각각 대향하는 위치에서 TFT 어레이 기판(10)과 각 화소 스위칭용 TFT(30)과의 사이에는 제 1 차광막(11a)이 형성되어 있다. 제 1 차광막(11a)은 바람직하게는 불투명한 고용점 금속인 Ti, Cr, W, Ta, Mo 및 Pb 중의 하나 이상을 포함하는 금속 단량체, 합금, 금속 실리사이드 등으로 구성된다. 이러한 재료로 구성하면, TFT 어레이 기판(10) 상의 제 1 차광막(11a)의 형성 공정의 이후에 할아버지는 화소 스위칭용 TFT(30)의 형성 공정에서의 고온 처리에 의해, 제 1 차광막(11a)이 파괴되거나 용융하지 않도록 할 수 있다. 제 1 차광막(11a)이 형성되어 있기 때문에, TFT 어레이 기판(10)측으로부터의 반사광(특히 황) 등의 광에 대하여 여기(excitation)하기 쉬운 화소 스위칭용 TFT(30)의 채널 영역(1a')이나 저농도 소스 영역(1b), 저농도 드레인 영역(1c)에 입사하는 사태를 미연에 방지할 수 있어, 이것에 기인한 광 전류의 발생에 의해 화소 스위칭용 TFT(30)의 특성이 변화하거나, 열화하지 않는다.

또한, 제 1 차광막(11a)과 복수의 화소 스위칭용 TFT(30) 사이에는 기층 절연막(12)이 형성되어 있다. 기층 절연막(12)은 화소 스위칭용 TFT(30)을 구성하는 반도체층(1a)을 제 1 차광막(11a)으로부터 전기적으로 절연하기 위해서 형성되는 것이다. 또한, 기층 절연막(12)은 TFT 어레이 기판(10)의 전면에 형성됨으로써, 화소 스위칭용 TFT(30)을 위한 기층막으로서의 기능도 갖는다. 즉, TFT 어레이 기판(10)의 표면의 연마시의 거칠어짐이나, 세정 후에 남는 오염 등으로 화소 스위칭용 TFT(30)의 특성의 열화를 방지하는 기능을 갖는다. 기층 절연막(12)은 예를 들면, NSG(non-doped silicate glass), PSG(phosphorus silicate glass), BSG(boron silicate glass), BPSG(boron-phosphosilicate glass) 등의 고절연성 글래스 또는 산화 실리콘막, 질화실리콘막 등으로 이루어진다. 기층 절연막(12)에 의해, 제 1 차광막(11a)이 화소 스위칭용 TFT(30) 등을 오염시키는 사태를 미연에 방지할 수 있다.

본 실시예에서는 반도체층(1a)을 고농도 드레인 영역(1e)으로부터 연장하여 제 1 축적 용량 전극(1f)으로 하고, 이것에 대향하는 용량선(3b)의 일부를 제 2 축적 용량 전극으로 하며, 절연 박막(2)을 주사선(3a)에 대향하는 위치로부터 연장하여 이들의 전극 사이에 삽입 지지된 제 1 유전체막으로 함으로써, 제 1 축적 용량(70a)이 구성되어 있다. 또한, 상기 제 2 축적 용량 전극과 대향하는 배리어층(80)의 일부를 제 3 축적 용량 전극으로 하고, 이들의 전극 사이에 제 1 중간 절연막(81)을 형성한다. 제 1 중간 절연막(81)은 제 2 유전체막으로서도 기능하고, 제 2 축적 용량(70b)이 형성되어 있다. 그리고, 이들 제 1 축적 용량(70a) 및 제 2 축적 용량(70b)이 제 1 컨택트 홀(6a)을 통해 병렬 접속되어 축적 용량(70)이 구성되어 있다.

보다 상세하게는 반도체층(1a)의 고농도 드레인 영역(1e)이, 데이터 선(6a) 및 주사선(3a)의 아래에 연장되어 화소 스위칭용 TFT(30)를 형성하고, 동일하게 데이터 선(6a) 및 주사선(3a)을 따라 신장하는 용량선(3b) 부분에 제 1 유전체막(2)을 통해 대향 배치되어, 제 1 축적 용량 전극(1f)으로 된다. 특히 제 1 유전체막(2)은 고온 산화 등에 의해, 질화실리콘막 상에 형성되는 TFT(30)의 절연 박막(2)이 분명하므로, 알기 쉽게 또한 고내압(高耐壓)의 절연막으로 할 수 있으며, 제 1 축적 용량(70a)은 비교적 소면적으로 대용량의 축적 용량으로 구성할 수 있다. 또한, 제 2 유전체막(81)도, 절연 박막(2)과 같이 알기 쉽게 형성하는 것이 가능하므로, 도 2에 도시한 바와 같이 서로 인접하는 데이터 선(6a) 사이의 영역을 이용하여, 제 2 축적 용량(70b)은 비교적 소면적으로 대용량의 축적 용량으로서 구성할 수 있다. 따라서, 이들 제 1 축적 용량(70a) 및 제 2 축적 용량(70b)으로 입체적으로 구성되는 축적 용량(70)은 데이터 선(6a) 아래의 영역이나 주사선(3a)을 따라서 액정의 디스플레이선이 발생하는 영역(즉, 용량선(3b)이 형성된 영역)이라는 화소 개구 영역을 벗어난 스페이스(space)를 유효하게 이용하여, 소면적으로 대용량의 축적 용량을 형성할 수 있다.

도 3에 있어서, 화소 스위칭용 TFT(30)는 LDD 구조를 갖고 있고, 주사선(3a), 해당 주사선(3a)으로부터의 전계에 의해 채널이 형성되는 반도체층(1a)의 채널 영역(1a'), 주사선(3a)과 반도체층(1a)을 절연하는 절연 박막(2), 데이터 선(6a), 반도체층(1a)의 저농도 소스 영역(1b) 및 저농도 드레인 영역(1c), 반도체층(1a)의 고농도 소스 영역(1d) 및 고농도 드레인 영역(1e)을 구비하고 있다. 고농도 드레인 영역(1e)에는 복수의 화소 전극(9a) 중의 대응하는 하나가 배리어층(80)을 중계하여 접속되어 있다. 저농도 소스 영역(1b) 및 고농도 소스 영역(1d) 및 저농도 드레인 영역(1c) 및 고농도 드레인 영역(1e)은 후술하는 바와 같이, 반도체층(1a)에 대하여, n형 또는 p형의 채널을 형성하는가에 따라서 소정농도의 n형 또는 p형 불순물을 도핑함으로써 형성되어 있다. n형 채널의 TFT는 동작 속도가 빠르다고 하는 이점이 있으며, 화소의 스위칭 소자의 화소 스위칭용 TFT(30)로서 사용되는 것이 대부분이다. 본 실시예에서는 특히 데이터 선(6a)은 Si 등의 저저항인 금속막이나 금속 실리사이드 등의 합금막 등의 차광성 또는 도전성 박막으로 구성되어 있다. 또한, 배리어층(80) 및 제 2 유전체막(81) 제 1 중간 절연막(81) 위에는 고농도 소스 영역(1d)으로 통하는 컨택트 홀(5) 및 배리어층(80)으로 통하는 컨택트 홀(8b)이 각각 형성된 제 2 중간 절연막(4)이 형성되어 있다. 상기 고농도 소스 영역(1d)으로의 컨택트 홀(5)을 통해, 데이터 선(6a)은 고농도 소스 영역(1d)에 전기적으로 접속되어 있다. 또한, 데이터 선(6a) 및 제 2 중간 절연막(4) 상에는 배리어층(80)으로의 컨택트 홀(8b)이 형성된 제 3 중간 절연막(7)이 형성되어 있다. 이 컨택트 홀(8b)을 통해, 화소 전극(9a)은 배리어층(80)에 전기적으로 접속되어 있으며, 또한 배리어층(80)을 중계하여 컨택

트 홀(8a)을 통해 고농도 드레인 영역(1e)에 전기적으로 접속되어 있다. 상술한 화소 전극(9a)은 이와 같이 구성된 제 3 층간 절연막(7)의 상면에 형성되어 있다.

화소 스위칭용 TFT(30)는 바람직하게는 상술한 바와 같이 LDD 구조를 갖지만, 저농도 소스 영역(1b) 및 저농도 드레인 영역(1c)에 불순물의 투입을 행하지 않는 옵션 구조를 가질 수 있으며, 주사선(3a)의 일부인 게이트 전극을 마스크로 하여 고농도로 불순물을 투입하여, 자기 정합적으로(in a self-alignment manner) 고농도 소스 및 드레인 영역을 형성하는 셀프알라인먼트형(self-alignment type)의 TFT라도 가능하다.

또한 본 실시예에서는 화소 스위칭용 TFT(30)의 주사선(3a)의 일부인 게이트 전극을 고농도 소스 영역(1d) 및 고농도 드레인 영역(1e) 사이에 1개만 배치한 싱글 게이트 구조로 하였지만, 이들 사이에 2개 이상의 게이트 전극을 배치하여도 된다. 이 때, 각각의 게이트 전극에는 동일한 신호가 인가되도록 한다. 이와 같이 듀얼 게이트 혹은 트리플 게이트 이상으로 TFT를 구성하면, 채널과 소스-드레인 영역 접합부의 리크(leak) 전류를 방지할 수 있고, 오프시의 전류를 저감할 수 있다. 이들의 게이트 전극의 적어도 1개를 LDD 구조 혹은 옵션 구조로 하면, 또한 오프 전류를 저감할 수 있고, 안정된 스위칭 소자를 얻을 수 있다.

도 2 및 도 3에 도시한 바와 같이, 본 실시예의 액정 장치에서는 TFT 어레이 기판(10) 상에는 데이터 선(6a) 및 주사선(3b)이 제 2 층간 절연막(4)을 통해 입체적으로 서로 교차하도록 형성되어 있다. 그리고, 배리어층(80)은 반도체층(1a)과 화소 전극(9a)과의 사이에 개재하고 있고, 고농도 드레인 영역(1e)과 화소 전극(9a)을 제 1 컨택트 홀(8a) 및 제 2 컨택트 홀(8b)을 경유하여 전기적으로 접속한다.

따라서, 화소 전극(9a)에서 반도체층(1a)의 드레인 영역까지 하나의 컨택트 홀을 형성하는 경우와 비교하여, 제 1 컨택트 홀(8a) 및 제 2 컨택트 홀(8b)의 직경을 각각 작게 할 수 있다. 즉, 하나의 컨택트 홀을 형성하는 경우에는 예정시의 선택비가 낮으면 컨택트 홀을 깊게 형성할수록 예정 정밀도는 떨어지기 때문에, 예를 들면 50nm 정도의 대단히 얇은 반도체층(1a)에서의 관통을 방지하기 위해서는 컨택트 홀의 직경을 작게 할 수 있는 건식 에칭을 도중에서 정지하여, 최종적으로 습식 에칭으로 반도체층(1a)까지 형성하도록 공정을 짜지 않으면 안된다. 혹은 건식 에칭에 의한 관통 방지용 플리실리콘막을 별도로 형성하거나 할 필요가 생기게 되는 것이다.

이것에 반해 본 실시예에서는 화소 전극(9a) 및 고농도 드레인 영역(1e)을 2개의 직렬인 제 1 컨택트 홀(8a) 및 제 2 컨택트 홀(8b)에 의해 접속하면 되므로, 이를 제 1 컨택트 홀(8a) 및 제 2 컨택트 홀(8b)을 각각, 건식 에칭에 의해 형성하는 것이 가능하게 되는 것이다. 또는 적어도 습식 에칭에 의해 형성하는 거리를 짧게 하는 것이 가능하게 되는 것이다. 단지, 제 1 컨택트 홀(8a) 및 제 2 컨택트 홀(8b)에 각각, 약간의 테이퍼를 주기 위해서, 건식 에칭 후에 비교적 단시간의 습식 에칭을 행하도록 하여도 된다.

이상과 같이 본 실시예에 의하면, 제 1 컨택트 홀(8a) 및 제 2 컨택트 홀(8b)의 직경을 각각 작게 할 수 있고, 제 1 컨택트 홀(8a)에서의 배리어층(80)의 표면에 형성되는 오목함이나 요철도 작아지게 되므로 그 의 상방에 위치하는 화소 전극(9a)의 부분에서의 평탄화가 촉진된다. 또한, 제 2 컨택트 홀(8b)에서의 화소 전극(9a)의 표면에 형성되는 오목함이나 요철도 작아지게 되므로, 상기 화소 전극(9a) 부분에서의 평탄화가 촉진된다. 이들의 결과, 화소 전극(9a)의 표면의 오목함이나 요철에 기인하는 액정층(50)에서의 디스클리네이션이 저감되고, 최종적으로는 해당 액정 장치에 의해 고품질의 화상 표시가 가능하게 된다. 예를 들면, 배리어층(80)과 화소 전극(9a)과의 사이에 개재하는 제 2 층간 절연막(4) 및 제 3 층간 절연막(7)의 합계 막두께를 수백 nm 정도로 억제하면, 상술한 화소 전극(9a)의 표면에서의 오목함이나 요철에, 보다 직접적으로 영향을 주는 제 2 컨택트 홀(8b)의 직경을 대단히 작게 할 수 있다.

또한, 본 실시예에서는 배리어층(80)은 고응점 금속막이나 그의 합금막으로 구성되어 있으므로, 금속막과 층간 절연막과의 에칭에 있어서의 선택비가 크게 다르기 때문에, 상술한 같이 건식 에칭에 의한 배리어층(80)의 관통의 가능성은 거의 없다.

본 실시예에서는 특히, 배리어층(80)을 중앙으로 하여 입체적으로 구성된 축적 용량(70)에서의, 제 1 유전체막(2) 및 제 2 유전체막(81)은 모두, 입체적으로 서로 교차하는 데이터 선(6a)과 주사선(3b)과의 사이에 개재하는 제 2 층간 절연막(4)과는 다른 층에 형성된 유전체막이다. 따라서, 플리커 등의 원인이 되는 화상 신호의 전압 강하를 야기하는 데이터 선(6a) 및 주사선(3a) 사이의 기생 용량을 억제하기 위해서, 제 2 층간 절연막(4)과는 다른 층을 통해 배리어층(80)을 형성하여 축적 용량을 부가하기 때문에, 본 실시예의 경우에는 이들의 제 1 유전체막(2) 및 제 2 유전체막(81)을 기술적인 한계까지 얇게 구성하는 것이 가능하게 된다. 이 결과, 특히 제 2 축적 용량(70b)에 있어서 제 2 유전체막(81)의 두께에 반비례하는 용량치를 대단히 효율적으로 증가시키는 것이 가능하게 된다. 특히, 화소 스위칭용 TFT(30)에서의 절연 박막(2)과 같이 상당히 얇게 구성하면 터널 효과 등의 특이 현상이 발생하지도 않으므로, 막 파괴 등의 결함이 생기지 않는 것을 조건으로, 예를 들면 200nm 정도 또는 절연 박막(2)보다도 얇은 10nm 이상 50nm 이하의 두께를 가지는 대단히 얇은 제 2 유전체막(81)을 형성함으로써, 대단히 대용량의 제 2 축적 용량(70a)을 비교적 작은 영역 내에 만들어 넣는 것이 가능하게 된다. 이로써, 플리커의 발생을 억제할 뿐만 아니고, 전압 유지 능력을 높일 수 있기 때문에, 고 콘트라스트인 전기 광학 장치를 제공할 수 있다.

본원 발명자 등의 실험 및 연구에 의하면, 가령, 데이터 선(6a)과 동일한 도전층으로 배리어층이 구성되는 상술한 증려 기술에 있어서, 상기 배리어층을 축적 용량의 한쪽의 전극으로서 사용하고, 데이터 선(6a) 및 주사선(3a) 사이의 층간 절연막을 유전체막으로서 사용한다고 가정하면, 데이터 선(6a)과 주사선(3a)의 기생 용량이 문제가 되지 않도록 하기 위해서는 유전체막(본 실시예의 제 2 층간 절연막에 상당하는 막)은 600nm 정도의 두께가 필요하게 된다. 따라서, 동일 면적에 있어서 본 실시예에서는 수백 내지 십수배 또는 그 이상의 크기의 용량치를 가지는 제 2 축적 용량(70b)을 실현할 수 있으므로, 대단히 유리하다.

또한, 배리어층(80)과 화소 전극(9a)의 사이에 또한, 다른 하나 또는 복수의 배리어층을 층간 절연막을 거쳐 적층 형성함으로써, 한정된 TFT 어레이 기판(10) 상의 영역을 이용하여 또한 입체적으로 축적 용량

을 증대시키는 것도 가능하다.

이와 같이 제 2 축적 용량(70b)을 구성하는 제 2 유전체막(81)은 산화 실리콘막, 질화실리콘 막 등이라도 가능하며, 이들의 막을 복수 적층한 다층막으로 구성하여도 된다. 일반적으로 절연 박막(2)을 형성하는 데 사용되는 각종의 공지 기술(감압 CVD법, 상압 CVD법, 플라즈마 CVD법, 열산화법, 스퍼터링법, ECR 플라즈마법, 리모트 플라즈마법 등)에 의해, 제 2 유전체막(81)을 형성할 수 있다. 단지, 이러한 배리어층(80)에 의한 축적 용량 부가 기능을 대신하여 또는 부가하여, 특히 차광막으로 이루어지는 배리어층(80)의 차광 기능이나 제 1 컨택트 홀(8a) 및 제 2 컨택트 홀(8b)의 레이아웃 등을 중시하여, 배리어층(80)이나 제 2 유전체막(81)을 주사선(3a) 상에 날릴 때까지 형성하는 경우에는 제 2 유전체막(81)을 배리어층(80) 및 주사선(3a) 사이의 기생 용량이 문제가 되지 않을 정도로 두껍게 형성하는 것이 바람직하다.

한편, 배리어층(80)의 막두께는 예를 들면 50nm 이상 500nm 이하 정도로 하는 것이 바람직하다. 50nm 정도의 두께가 있으면, 제조 프로세스에서의 제 2 컨택트 홀(8b)의 형성시에 관통될 가능성이 낮아지며, 또한 500nm 정도이면 화소 전극(9a)의 표면의 요철은 문제가 되지 않거나 또는 비교적 용이하게 평탄화 가능하기 때문이다.

또한 본 실시예에서는 이와 같이 제 1 층간 절연막(81; 제 2 유전체막)을 얇게 형성함으로써, 제 1 컨택트 홀(8a)의 직경을 더욱 작게 할 수 있으므로, 상술한 제 1 컨택트 홀(8a)에서의 배리어층(80)의 오목함이나 요철이 또한 작아지게 되고, 그의 상부에 위치하는 화소 전극(9a)에서의 평탄화가 더욱 촉진된다. ID라서, 화소 전극(9a)에서의 오목함이나 요철에 기인한 액정의 디스플레이에이션이 저감되며, 최종적으로는 해당 액정 장치에 의해 한층더 고품질의 화상 표시가 가능하게 된다.

또한, 본 실시예의 액정 장치의 구성에 있어서도, 종래와 같이, 주사선(3b)과 데이터선(6a)과의 사이에 개재하는 제 2 층간 절연막(4)에 대해서는 양 배선 사이에서의 기생 용량이 문제가 되지 않을 정도의 두께(예를 들면, 600nm 정도의 두께)가 필요하게 된다.

이상과 같이 구성된 본 실시예에 있어서는 특히, 플루닉 모양으로 형성된 제 1 차광막(11a)은 주사선(3a) 아래에 연장되어, 정전위선 또는 대용량 부분에 전기적으로 접속되어도 된다. 이와 같이 구성하면, 제 1 차광막(11a)에 대향 배치되는 화소 스위칭용 TFT(30)에 대하여 제 1 차광막(11a)의 전위 변동이 악영향을 미치지 않게 한다. 이 경우, 정전위선으로서의 해당 액정 장치를 구동하기 위한 주변 회로(예를 들면, 주사선 구동 회로, 데이터선 구동 회로 등)에 공급되는 부전원, 정전원 등의 정전위선, 접지전원, 대향 전극(21)에 공급되는 정전위선 등을 볼 수 있다.

또한, 용량선(3b)과 주사선(3a)은 동일한 폴리실리콘막으로 이루어지고, 제 1 축적 용량(70a)의 제 1 유전체막(2)과 화소 스위칭용 TFT(30)의 절연 박막(2)은 동일한 고온 산화막 등으로 이루어지고, 제 1 축적 용량 전극(1f)과 화소 스위칭용 TFT(30)의 채널영역(1a'), 저농도 소스 영역(1b), 저농도 드레인 영역(1c), 고농도 소스 영역(1d), 고농도 드레인 영역(1e) 등은 동일한 반도체층(1a)으로 이루어진다. 그러므로, TFT 어레이 기판(10) 상에 형성되는 적층 구조를 단순화할 수 있으며, 또한, 후술하는 전기 광학 장치의 제조방법에 있어서, 동일한 박막 형성 공정으로 용량선(3b) 및 주사선(3a)을 동시에 형성할 수 있고, 축적 용량(70a)의 제 1 유전체막 및 절연 박막(2)을 동시에 형성할 수 있다.

본 실시예에서는 특히, 배리어층(80)은 도전성의 차광막으로 이루어진다. 따라서, 배리어층(80)에 의해, 각 화소 개구 영역을 적어도 부분적으로 규정하는 것이 가능하게 된다. 또한, 배리어층(80)에 의해, 또는 데이터선(6a) 등의 차광성을 갖는 배선의 TFT 어레이 기판(10)에 형성된 차광성을 갖는 막과 조합하여 화소 개구부를 규정함으로써, 대향 기관(20)측의 제 2 차광막을 생략하는 것도 가능하다. 대향 기관(20)상의 제 2 차광막(23)이 아니라, TFT 어레이 기판(10) 상에 내장 차광막으로서 배리어층(80)에 형성하는 구성은 제조 프로세스에 있어서의 TFT 어레이 기판(10)과 대향 기관(20)과의 위치 어긋남에 의해서 화소 개구부의 저하를 초래하지 않는 점에서 대단히 유리하다.

또, 대향 기관(20)상의 제 2 차광막(23)은 주로 입사광에 의한 액정 장치의 온도 상승을 억제할 목적으로, 조금 작게(좁은 폭으로) 형성하여 화소 개구 영역을 규정하지 않도록 구성하여도 된다. 이 경우, 제 2 차광막(23)을 사막 등의 반사율이 높은 재질로 형성하면, 더욱 효율적으로 온도 상승을 억제할 수 있다. 이와 같이 제 2 차광막(23)을 TFT 어레이 기판에서의 차광 영역보다도 작게 형성하면, 제조 프로세스에서의 양 기관 사이의 다소의 위치 어긋남에 의해서 화소 개구 영역이 작아지지 않게 된다.

차광막으로 이루어지는 배리어층(80)은 예를 들면, 불투명한 고용점 금속인 Ti, Cr, W, Ta, Mo 및 Pb 중의 하나 이상을 포함하는 금속 단량체, 금속 실리콘사이드 등으로 구성된다. 이와 같이 구성하면, 배리어층(80) 형성 공정 이후에 행하여지는 고온 처리에 의해, 배리어층(80)이 파괴되거나 용융하지 않도록 할 수 있다.

또한, 이를 고용점 금속과 화소 전극(9a)을 구성하는 ITO막이 접촉하여도 미온화물의 차이로 고용점 금속이 용해되지 않기 때문에, 제 2 컨택트홀(8b)을 거쳐 배리어층(80) 및 화소 전극(9a) 사이에서 양호하게 전기적인 접속을 갖게 된다.

또한 본 실시예에서는 특히, 차광막으로 이루어지는 배리어층(80)은 도 2에 도시된 바와 같이, TFT 어레이 기판(10) 상에서의 평면 형상이 서로 인접하는 데이터선(6a) 사이를 주사선(3a)을 따라 신장하고, 각 화소 단위마다 섬 형상으로 구성되어 있다. 이리하여, 차광막에 의한 용량의 완화를 꾀할 수 있다. 또한, 화소 개구 영역의 주사선(3a)에 따른 변의 일부 또는 전부를 배리어층(80)으로 규정하는 것도 가능하다. 여기서 구체적인 화소 설계에 따라서 주사선(3a) 및 배리어층(80) 사이의 기생 용량이 문제가 되는 경우는 본 실시예와 같이, 주사선(3a) 상에는 배리어층(80)을 형성하지 않고, 용량선(3b)과 화소 전극(9a)이 인접하는 측에서의 화소 개구 영역의 주사선(3a)에 따른 변을 배리어층(80)으로 규정하는 것이 바람직하다. 또는 구체적인 화소 설계에 따라서 주사선(3a) 및 배리어층(80) 사이의 기생 용량이 문제가 되지 않는 것이라면, 배리어층(80)은 제 2 유전체막(81)을 통해 주사선(3a)에 대향하는 위치에도 형성하여도 된다. 이와 같이 구성하면, 주사선(3a) 및 용량선(3b)의 양자를 각각 적어도 부분적으로 덮는 차광성의 배리어층(80)에 의해, 화소 개구 영역의 주사선(3a)에 따른 변보다 많은 부분을 규정하는 것이 가능하게 된다. 바꿔 말하면, 이와 같이 구성하는 경우에는 주사선(3a) 및 배리어층(80)의 기생 용량이 문제가 되지 않을

정도로 제 2 유전체막(81)을 두껍게 구성하는 것이 바람직하다. 혹은, 이 기생 용량을 작게 억제하기 위해서는 배리어층(80)에 의해, 주사선(3a)을 화소 개구 영역을 규정하는데 필요한 영역만 덮는 것이 바람직하다.

또한, 주사선(3a)과 화소 전극(9a)이 인접하는 측(도 2의 하측)에서의 화소 개구 영역의 주사선(3a)에 따른 변에 대해서는 제 1 차광막(11a)이나 제 2 차광막(23)에 의해 규정하면 된다. 또한, 화소 개구 영역의 데이터선(6a)에 따른 변에 대해서는 시 등으로 이루어지는 데이터선(6a) 혹은 제 1 차광막(11a)이나 제 2 차광막(23)으로 규정하면 된다.

또한 도 2에 도시한 바와 같이 성 형상의 배리어층(80)의 주사선(3a) 방향의 각 단부와 데이터 선(6a)의 가장자리부는 평면적으로 보아 약간 겹치도록 구성하는 것이 바람직하다. 이와 같이 구성하면, 양자간에 입사광이 투과하도록 하는 간극이 생기지 않게 되며, 이 부분에서의 광 누락 등의 표시 물량을 방지할 수 있다. 여기서, 데이터선(6a)과 배리어층(80)과 제 1 차광막(11a) 또는 데이터선(6a)과 배리어층(80) 등의 차광성을 갖는 막에 의해 화소 개구부를 규정하는 것이 가능하다. 이러한 경우, 대향 기판(20)에 제 2 차광막(23)을 형성하지 않게 되기 때문에, 대향 기판(20)에 제 2 차광막(23)을 형성하는 공정을 생략하는 것이 가능하다. 또한, 대향 기판(20)과 TFT 어레이 기판(10)과의 열라인먼트 어긋남에 의한 화소 개구율의 저하나 격차를 방지할 수 있다. 또한, 대향 기판(20)에 제 2 차광막(23)을 형성하는 경우는 TFT 어레이 기판(10)과의 열라인먼트 어긋남을 고려하여 조금 크게 형성하지만 상술한 바와 같이 데이터선(6a), 배리어층(80) 등의 TFT 어레이 기판(10)측에 형성된 차광성 막에 의해 화소 개구부를 규정하기 때문에, 정밀도가 양호하게 화소 개구부를 규정할 수 있고, 대향 기판(20)에 형성한 제 2 차광막(23)에 의해 화소 개구부를 결정하는 경우에 비교하여 개구율을 향상시킬 수 있다.

이상 설명한 바와 같이 본 실시예에서는 특히, 배리어층(80)이 도전성의 차광막으로 이루어지기 때문에 여러가지의 이점을 얻게 되지만, 배리어층(80)을, 고용점 금속막이 아니라, 예를 들면, 인 등을 도핑한 도전성 폴리실리콘막으로 구성하여도 된다. 이와 같이 구성하면, 배리어층(80)은 차광막으로서의 기능은 발휘하지 않지만, 축적 용량(70)을 증가시키는 기능 및 배리어층 본래의 중계 기능은 충분히 발휘할 수 있다. 더욱이, 제 2 절연막(4)과의 사이에서 열 등에 의한 스트레스가 발생하기 어렵게 되므로, 배리어층(80) 및 그 주변에서의 크랙 방지에 도움이 된다. 한편, 화소 개구 영역을 규정하기 위한 차광에 대해서는 제 1 차광막(11a)이나 제 2 차광막(23)에 의해 별도로 행하면 된다.

또한, 본 실시예에서는 TFT(30)의 하측에 형성되는 제 1 차광막(11a)에 의해 화소 개구 영역의 일부 또는 전부를 규정하여도 된다. 예를 들면, 제 1 차광막(11a)을 도 2에서 평면적으로 보아 배리어층(80) 영역에 나열하거나 약간 겹치도록 나열하면, 이들의 제 1 차광막(11a) 및 배리어층(80)에 의해, 화소 개구 영역의 주사선(3a)에 따른 변을 규정할 수 있다.

본 실시예에서는 특히, 도 2 및 도 3에 도시한 바와 같이 제 1 컨택트홀(8a)과 제 2 컨택트홀(8b)은 TFT 어레이 기판(10) 상에서의 상이한 평면 위치에 형성되어 있다. 따라서, 이들 제 1 컨택트홀(8a) 및 제 2 컨택트홀(8b)이 형성된 평면 위치에 발생하는 요철이 서로 달라서 요철이 증폭하는 사태를 피할 수 있다. 따라서, 이들의 컨택트 홀에서의 양호한 전기적인 접속을 기대할 수 있다.

또한, 컨택트 홀(8a, 8b; 5)의 평면형상은 원형이나 사각형 혹은 그 밖의 다각형 등도 가능하지만, 원형은 특히 컨택트 홀 주변의 절연막 등에서 크랙 방지에 도움이 된다. 그리고, 양호하게 전기적인 접속을 얻기 위해서, 건조, 예칭 후에 습식 에칭을 행하고, 이들의 컨택트 홀(8a, 8b; 5)에 각각 약간의 테이퍼를 주는 것이 바람직하다.

(전기 광학 장치의 제 1 실시예에 있어서의 제조 프로세스)

다음에, 이상과 같은 구성을 가지는 실시예에서의 액정 장치의 제조 프로세스에 대해서, 도 4 내지 도 7을 참조하여 설명한다. 또한, 도 4 내지 도 7은 각 공정에서의 TFT 어레이 기판측의 각 층을, 도 3과 같이 도 2의 A-A' 단면에 대응시켜 도시한 공정도이다.

우선 도 4의 공정(1)에 나타낸 바와 같이, 석영 기판, 하드 글래스, 실리콘 기판 등의 TFT 어레이 기판(10)을 준비한다. 여기서, 바람직하게는 N_2 (질소) 등의 불활성 가스 분위기 또한 약 900 내지 1300°C의 고온으로 열 처리하고, 후에 실시되는 고온 프로세스에서의 TFT 어레이 기판(10)에 생기는 비틀림이 적어지도록 처리해 둔다. 즉, 제조 프로세스에서의 최고온에서 고온 처리되는 온도에 맞추어, 사전에 TFT 어레이 기판(10)을 상기와 동일한 온도이거나 그 이상의 온도에서 열 처리하여 둔다. 그리고, 이와 같이 처리된 TFT 어레이 기판(10)의 전면면, Ti, Cr, W, Ta, Mo 및 Pb 등의 금속이나 금속 실리콘이드 등의 금속 합금막을 스퍼터링 등에 의해, 100 내지 500nm 정도의 막두께, 바람직하게는 약 200nm의 막두께의 차광막(11)을 형성한다. 또한, 차광막(11) 상에는 표면 반사를 완화하기 위해 폴리실리콘 막 등의 반사 방지막을 형성하여도 된다.

다음에 공정(2)에 나타낸 바와 같이, 해당 형성된 차광막(11) 상에 포토리소그래피 공정에 의해 제 1 차광막(11a)의 패턴(도 2 참조)에 대응하는 레지스트 마스크를 형성하고, 해당 레지스트 마스크를 통해 차광막(11)에 대하여 에칭을 행함으로써, 제 1 차광막(11a)을 형성한다.

다음에 공정(3)에 나타낸 바와 같이, 제 1 차광막(11a) 위에, 예를 들면, 상압 또는 감압 CVD법 등에 의해 TEOS(tetraethylenorthosilicate) 가스, TEB(tetraethylborate)가스, TMOP(tetramethyl oxyphosphate) 가스 등을 사용하여, N36, PS6, BS6, BPS6 등의 실리콘계 글래스 막, 질화실리콘 막이나 산화실리콘 막 등으로 이루어지는 기층 절연막(12)을 형성한다. 이 기층 절연막(12)의 두께는 예를 들면, 대략 500 내지 2000nm로 한다. 또한, TFT 어레이 기판(10) 이면으로부터의 복귀 광이 문제가 되지 않을 경우는 제 1 차광막(11a)을 형성할 필요가 없다.

다음에 공정(4)에 나타낸 바와 같이, 기층 절연막(12) 상에, 약 450 내지 550°C, 바람직하게는 약 500°C의 비교적 저온 환경 중에서, 유량 약 400 내지 600cc/min의 모노실란(monosilane) 가스, 디실란(disilane) 가스 등을 사용한 감압 CVD(예를 들면, 압력 약 20 내지 40Pa)에 의해, 비정질(amorphous) 실리콘 막을 형성한다. 그 후, 질소 분위기 중에서, 약 600 내지 700°C에서 약 1 내지 10시

간, 바람직하게는 4 내지 6시간의 열처리를 실시함으로써, 폴리실리콘막(1)을 약 50 내지 200nm의 두께, 바람직하게는 약 100nm의 두께로 되까지 고상 성장시킨다. 고상 성장시키는 방법으로는 RTA(Rapid Thermal Anneal)를 사용한 열 처리로도 가능하며, 엑사이머 레이저 등을 사용한 레이저 열처리로도 가능하다.

이 때, 도 3에 도시한 화소 스위칭용 TFT(30)로서, n 채널형 화소 스위칭용 TFT(30)를 작성하는 경우에는 해당 채널 영역에 Sb(안티몬), As(비소), P(인) 등의 V족 원소의 불순물을 약간만 이온 주입하는 것 등에 의해 도핑하여도 된다. 또한, 비정질 실리콘 막을 거치지 않고, 감압 CVD법 등에 의해 폴리실리콘막(1)을 직접 형성하여도 된다. 혹은, 감압 CVD법 등에 의해 퇴적한 폴리실리콘막에 실리콘 미온을 투입하여, 일단 비정질화(forming amorphous film)하고, 그 후 열처리 등에 의해 재결정화(recrystallization)시켜서 폴리실리콘막(1)을 형성하여도 된다.

다음에 공정(5)에 나타낸 바와 같이, 포토리소그래피 공정, 에칭 공정 등에 의해, 도 2에 도시한 바와 같은 소정 패턴을 갖는 반도체층(1a)을 형성한다.

다음에 공정(6)에 나타낸 바와 같이, 화소 스위칭용 TFT(30)를 구성하는 반도체층(1a)을 약 900 내지 1300°C의 온도, 바람직하게는 약 1000°C의 온도에 의해 열산화함으로써, 약 30nm의 비교적 얇은 두께의 열산화실리콘막(2a)을 형성하고, 또한 공정(7)에 나타낸 바와 같이, 감압 CVD법 등에 의해 고온 산화 실리콘 막(HTO 막)이나 절화 실리콘 막으로 이루어지는 절연막(2b)을 약 50nm의 비교적 얇은 두께로 퇴적하고, 열산화 실리콘 막(2a) 및 절연막(2b)을 포함하는 다층 구조를 가지는 화소 스위칭용 TFT(30)의 절연 박막(2)과 같이 축적 용량 형성을 제 1 유전체막(2)을 동시에 형성한다. 이 결과, 반도체층(1a)의 두께는 약 30 내지 150nm의 두께, 바람직하게는 약 35 내지 50nm의 두께로 되고, 절연 박막(2; 제 1 유전체막)의 두께는 약 20 내지 150nm의 두께, 바람직하게는 약 30 내지 100nm의 두께가 된다. 이와 같이 고온 열산화 시간을 짧게 함으로써, 특히 8inch 정도의 대형 기판을 사용하는 경우에 열에 의한 휘어짐을 방지할 수 있다. 단지, 폴리실리콘막(1)을 열산화하는 것 만으로, 단일층 구조를 가지는 절연 박막(2)을 형성하여도 된다.

다음에 공정(8)에 나타낸 바와 같이, 포토리소그래피 공정, 에칭 공정 등에 의해 레지스트층(500)을 제 1 축적 용량 전극(1f)이 되는 부분을 제외하는 반도체층(1a) 상에 형성한 후, 예를 들면 P 이온을 도즈(dose)량 약 $3 \times 10^{12}/\text{cm}^2$ 로 도핑하여, 제 1 축적 용량 전극(1f)을 저저항화하여도 된다.

다음에 공정(9)에 나타낸 바와 같이, 레지스트층(500)을 제거한 후, 감압 CVD법 등에 의해 폴리실리콘막(3)을 퇴적하며, 또한 P를 열 확산하여, 폴리실리콘막(3)을 도전화한다. 또는 P 이온을 폴리실리콘막(3)의 형성(formation)과 동시에 도핑한 도핑된 폴리실리콘막을 사용하여도 된다. 폴리실리콘막(3)의 막 두께는 약 100 내지 500nm의 두께, 바람직하게는 약 300nm로 퇴적한다.

다음에 도 5의 공정(10)에 나타낸 바와 같이, 레지스트 마스크를 사용한 포토리소그래피 공정, 에칭 공정 등에 의해, 도 2에 도시한 바와 같은 소정 패턴의 주사선(3a)과 같이 용량선(3b)을 형성한다. 주사선(3a) 및 용량선(3b)은 고융점 금속이나 금속 실리콘사이드 등의 금속 합금막으로 형성하여도 되고, 폴리실리콘막 등과 조합하여 다층 배선으로 하여도 된다.

다음에 공정(11)에 나타낸 바와 같이, 도 3에 도시한 화소 스위칭용 TFT(30)를 LDD 구조를 가지는 n 채널형 TFT로 하는 경우, 반도체층(1a)에, 우선 저농도 소스 영역(1b) 및 저농도 드레인 영역(1c)을 형성하기 위해서, 주사선(3a)의 일부분 게이트 전극을 마스크로 하여, P 등의 V족 원소의 불순물을 저농도로(예를 들면, P 이온을 1 내지 $3 \times 10^{12}/\text{cm}^2$ 의 도즈량으로) 도핑한다. 이것에 의해 주사선(3a) 아래의 반도체층(1a)은 채널 영역(1a')이 된다.

다음에 공정(12)에 나타낸 바와 같이, 화소 스위칭용 TFT(30)를 구성하는 고농도 소스 영역(1d) 및 고농도 드레인 영역(1e)을 형성하기 위해서, 주사선(3a) 보다도 폭이 넓은 마스크로 레지스트층(600)을 주사선(3a) 상에 형성한 후, 동일하게 P 등의 V족 원소의 불순물을 고농도로(예를 들면, P 이온을 1 내지 $3 \times 10^{16}/\text{cm}^2$ 의 도즈량으로) 도핑한다. 또한, 화소 스위칭용 TFT(30)를 p 채널형으로 하는 경우, 반도체층(1a)에, 저농도 소스 영역(1b) 및 저농도 드레인 영역(1c) 및 고농도 소스 영역(1d) 및 고농도 드레인 영역(1e)을 형성하기 위해서, B 등의 III족 원소의 불순물을 사용하여 도핑한다. 또한, 예를 들면, 저농도의 도핑을 행하지 않고서, 오히려 구조의 TFT로 하여도 되고, 주사선(3a)을 마스크로 하여, P 이온, B 이온 등을 사용한 이온 주입 기술에 의해 셀프알라인먼트형(self-alignment type) TFT로 하여도 된다. 이 불순물의 도핑에 의해 용량선(3b) 및 주사선(3a)도 더욱 저저항화된다.

또한, 이들의 TFT(30)의 소자 형성 공정과 병행하여, n 채널형 TFT 및 p 채널형 TFT로 구성되는 상보형(complementary) 구조를 가지는 데이터 선 구동 회로, 주사선 구동 회로 등의 주변 회로를 TFT 어레이 기판(10) 상의 주변부에 형성하여도 된다. 이와 같이, 본 실시예에 있어서 화소 스위칭용 TFT(30)를 구성하는 반도체층(1a)을 폴리실리콘막으로 형성하면, 화소 스위칭용 TFT(30)의 형성시에 거의 동일한 공정으로, 주변 회로를 형성할 수 있어, 제조 상 유리하다.

다음에 공정(13)에 나타낸 바와 같이, 레지스트층(600)을 제거한 후, 용량선(3b) 및 주사선(3a) 및 절연 박막(2; 제 1 유전체막) 상에, 감압 CVD법, 플라즈마 CVD법 등에 의해 고온 산화 실리콘 막(HTO막)이나 절화 실리콘 막으로 이루어진다. 제 1 층간 절연막(81)을 10nm 이상 200nm 이하의 비교적 얇은 두께로 퇴적한다. 단지, 상술한 바와 같이, 제 1 층간 절연막(81)은 다층막으로 구성하여도 되고, 일반적으로 TFT의 절연 박막을 형성하는데 사용되는 각종의 공지 기술에 의해, 제 1 층간 절연막(81)을 형성할 수 있다. 제 1 층간 절연막(81)의 경우에는 제 2 층간 절연막(4)의 경우와 같이 상당히 얇게 하면 데이터 선(6a) 및 주사선(3a) 사이의 기생 용량이 크게 되지 않으며, 또한 TFT(30)에서의 절연 박막(2)과 같이 상당히 얇게 구성하면 터널 효과 등의 특이한 현상이 발생하지도 않는다. 또한, 제 1 층간 절연막(81)은 용량선의 일부분 제 2 축적 용량 전극과 배리어층(80)의 사이에서, 제 2 유전체막으로서 기능한다. 그리

고, 제 2 유전체막(81)을 얇게 할 수록, 제 2 축적 용량(70b)은 커지게 되므로, 결국, 막 파괴 등의 결함이 생기지 않는 것을 조건으로, 절연 박막(2)보다도 얇은 50nm 이하의 두께를 가지는 대단히 얇은 절연막이 되도록 제 2 유전체막(81)을 형성하면 본 실시예의 효과를 증대시킬 수 있다.

다음에 공정(14)에 나타낸 바와 같이, 배리어층(80)과 고농도 드레인 영역(1e)을 전기적으로 접속하기 위한 콘택트 홀(8a)을, 반응성 이온 에칭, 반응성 이온 빔 에칭 등의 건식 에칭에 의해 형성한다. 이러한 건식 에칭은 저항성이 높기 때문에, 작은 직경의 콘택트 홀(8a)을 형성할 수 있다. 혹은, 콘택트 홀(8a)이 반도체층(1a)을 관통하는 것을 방지하는데 유리한 습식 에칭을 병용하여도 된다. 이 습식 에칭은 콘택트 홀(8a)에 대하여, 보다 양호하게 전기적인 접속을 취하기 위한 테이퍼를 부여하는 관점에서도 유효하다.

다음에 공정(15)에 나타낸 바와 같이, 제 1 층간 절연막(81) 및 콘택트 홀(8a)을 통해 들어온 본 고농도 드레인 영역(1e)의 전면에, Ti, Cr, W, Ta, Mo 및 Pb 등의 금속이나 금속 실리사이드 등의 금속 합금막을 스퍼터링 등에 의해 퇴적하여, 50 내지 500nm 정도의 두께의 도전막(80')을 형성한다. 50nm 정도의 두께가 있으면, 후에 제 2 콘택트 홀(8b)을 형성할 때에 관통할 가능성은 거의 없다. 또한, 이 도전막(80') 상에는 표면 반사를 완화하기 위해서 폴리실리콘막 등의 반사 방지막을 형성하여도 된다. 또한, 도전막(80')은 용력 완화를 위해 도핑된 폴리실리콘막 등을 사용하여도 된다. 이 때, 하층에 도핑된 폴리실리콘막(도전성의 폴리실리콘막)을 사용하여 상층에 금속막을 사용하여 2층 이상의 적층된 도전막(80')을 형성하여도 된다. 또한, 2층의 폴리실리콘막의 사이에 금속막을 삽입하여 3층으로하여도 된다. 이와 같이, 도전막(80')과 고농도 드레인 영역(1e)을 전기적으로 접속할 때에, 동일한 폴리실리콘막으로 형성하면, 콘택트 저항을 대폭 저감할 수 있다.

다음에 도 6의 공정(16)에 나타낸 바와 같이, 해당 형성된 도전막(80') 상에 포토리소그래피에 의해 배리어층(80)의 패턴(도 2참조)에 대응하는 레지스트 마스크를 형성하고, 해당 레지스트 마스크를 통해 도전막(80')에 대하여 에칭을 행함으로써, 제 3 축적 용량 전극을 포함하는 배리어층(80)을 형성한다.

다음에 공정(17)에 나타낸 바와 같이, 제 1 층간 절연막(81) 및 배리어층(80)을 덮도록, 예를 들면, 상압 또는 감압 CVD법이나 TEOS 가스 등을 사용하여, NSG, PSG, BSG, BPSG 등의 실리케이트 글래스 막, 질화 실리콘 막이나 산화 실리콘 막 등으로 이루어지는 제 2 층간 절연막(4)을 형성한다. 제 2 층간 절연막(4)의 막두께는 약 500 내지 1500nm가 바람직하다. 제 2 층간 절연막(4)의 막두께가 500nm 이상 있으면, 데이터 선(6a) 및 주사선(3a) 사이에 있어서의 기생 용량은 그다지 또는 거의 문제가 되지 않는다.

다음에 공정(18)의 단계에서, 고농도 소스 영역(1d) 및 고농도 드레인 영역(1e)을 활성화하기 위해서 약 1000°C의 열처리를 20분 정도 행한 후, 데이터 선(6a)에 대한 콘택트 홀(5)을 형성한다. 또한, 주사선(3a)이나 용탕선(3b)을 TFT 어레이 기판(10)의 주변 영역에서 도사하지 않은 배선과 접속하기 위한 콘택트 홀도, 콘택트 홀(5)과 동일한 공정에 의해 제 2 층간 절연막(4)에 형성할 수 있다.

다음에, 공정(19)에 나타낸 바와 같이, 제 2 층간 절연막(4) 상에, 스퍼터링 등에 의해, 차광성의 Al 등의 저저항 금속이나 금속 실리사이드 등을 금속막(6)으로 하여, 약 100 내지 500nm의 두께, 바람직하게는 약 300nm로 퇴적한다.

다음에 공정(20)에 나타낸 바와 같이, 포토리소그래피 공정, 에칭 공정 등에 의해, 데이터 선(6a)을 형성한다.

다음에 도 7의 공정(21)에 나타낸 바와 같이, 데이터 선(6a) 상을 덮도록, 예를 들면, 상압 또는 감압 CVD법이나 TEOS 가스 등을 사용하여, NSG, PSG, BSG, BPSG 등의 실리케이트 글래스막, 질화 실리콘 막이나 산화 실리콘 막 등으로 이루어지는 제 3 층간 절연막(7)을 형성한다. 제 3 층간 절연막(7)의 막두께는 약 500 내지 1500nm가 바람직하다.

다음에 공정(22)에 나타낸 바와 같이, 화소 전극(9a)과 배리어층(80)을 전기적으로 접속하기 위한 콘택트 홀(8b)을, 반응성 이온 에칭, 반응성 이온 빔 에칭 등의 건식 에칭에 의해 형성한다. 또한, 테이퍼형상으로 하기 위해서 습식 에칭을 사용하여도 된다.

다음에 공정(23)에 나타낸 바와 같이, 제 3 층간 절연막(7) 위에, 스퍼터링 등에 의해, ITO막 등의 투명 도전성 박막(9)을, 약 50 내지 200nm의 두께로 퇴적하여, 또한 공정(24)에 나타낸 바와 같이, 포토리소그래피 공정, 에칭 공정 등에 의해, 화소 전극(9a)을 형성한다. 또한, 해당 액정 장치용 반사형의 액정 장치에 사용하는 경우에는 Al 등의 반사율이 높은 불투명한 재료로 화소 전극(9a)을 형성하여도 된다.

계속해서, 화소 전극(9a) 상에 폴리이미드계의 배향막의 도포액을 도포한 후, 소정의 프리틸트(pretilt) 각을 가지도록 동시에 소정 방향에서 러빙 처리를 실시하는 것 등에 의해, 배향막(16; 도 3 참조)이 형성된다.

한편, 도 3에 도시한 대향 기판(20)에 대해서는 글래스 기판 등이 우선 준비되고, 제 2 차광막(23) 및 후술하는 화상 프레임(frame)로서의 제 3 차광막(24)을, 예를 들면 금속 크롬을 스퍼터링한 후, 포토리소그래피 공정, 에칭 공정을 거쳐 형성된다. 또한, 이들의 제 2 및 제 3 차광막은 Cr, Ni, Al 등의 금속 재료 이외에, 카본이나 Ti를 포토레지스트에 분산한 수지 블랙(resin black) 등의 재료로 형성하여도 된다. 또한, TFT 어레이 기판(10) 상에서, 데이터 선(6a), 배리어층(80), 제 1 차광막(11a) 등으로 차광 영역을 규정하면, 대향 기판(20) 상의 제 2 차광막(23)이나 제 3 차광막을 생략할 수 있다.

그 후, 대향 기판(20)의 전면에 스퍼터링 등에 의해, ITO 등의 투명 도전성 박막을, 약 50 내지 200nm의 두께로 퇴적함으로써, 대향 전극(21)을 형성한다. 또한, 대향 전극(21)의 전면에 폴리이미드 계의 배향막의 도포액을 도포한 후, 소정의 프리틸트 각을 가지도록 또한 소정 방향에서 러빙 처리를 실시하는 것 등에 의해, 배향막(22; 도 3 참조)이 형성된다.

마지막에, 상술한 바와 같이 각 층이 형성된 TFT 어레이 기판(10)과 대향 기판(20)은 배향막(16, 22)이 대면하도록 호출하는 싸일재에 의해 접합되고, 진공 밀인 등에 의해, 양 기판 사이의 공간에, 예를 들면 액수 종류의 네이틱 액정을 혼입하여 이루어진 액정이 공급되어, 소정층 두께의 액정층(50)이 형성된다.

(전기 광학 장치의 제 2 실시예)

본 발명에 의한 전기 광학 장치의 제 2 실시예인 액정 장치의 구성에 대해서, 도 8 및 도 9를 참조하여 설명한다. 도 8은 데이터 선, 주사선, 화소 전극, 차광막 등이 형성된 TFT 어레이 기판의 서로 인접하는 복수의 화소군의 평면도이고, 도 9는 도 8의 B-B' 단면도이다. 또한, 도 8 및 도 9에 나타난 제 2 실시예에 있어서 도 2 및 도 3에 도시한 제 1 실시예와 같은 구성 요소에 대해서는 같은 도면 부호를 붙이고, 그의 설명은 생략한다. 또한, 도 9에 있어서는 각 층이나 각 부재를 도면상에서 인식 가능한 정도의 크기로 하기 때문에, 각 층이나 각 부재마다 축척을 달리 하고 있다.

도 8 및 도 9에 있어서, 제 2 실시예에서는 제 1 실시예와는 달리, 제 1 차광막(11b)이 TFT 어레이 기판(10)측에서 보아 주사선(3a), 용량선(3b) 및 데이터 선(6a)을 덮도록 즉, 각 화소를 둘러싸는 격자형상의 비개구 영역의 전역에 형성되어 있다. 또한, 기층 절연막(12)에는 용량선(3b)과 제 1 차광막(11b)을 전기적으로 접속하는 콘택트 홀(15)이 형성되어 있다. 용량선(3b) 및 제 1 차광막(11b)은 기판 주변 영역에서, 정전위 배선에 접속되어 있다. 그 밖의 구성에 대해서는 제 1 실시예의 경우와 같다.

따라서, 제 2 실시예에 의하면, 제 1 차광막(11b)은 화소 개구 영역을 규정하는 기능과 같이 용량선(3b)의 정전위 배선 또는 임의 배선으로서의 기능을 갖을 뿐만 아니라, 용량선 자체의 저항을 내릴 수 있어, 화질 품질을 향상시킨다. 이와 같이 구성하면, 제 1 차광막(11b) 단독으로 화소 개구 영역을 규정하는 것이 가능하게 된다. 또한, 용량선(3b) 및 제 1 차광막(11b)의 전위를 동일한 일정 전위로 할 수 있고, 용량선(3b)이나 제 1 차광막(11b)에서의 전위 요동에 의한 화상 신호나 TFT(30)에 대한 악영향을 저감할 수 있다. 또한, 제 1 차광막(11b)과 반도체층(1a) 사이에 개재하는 기층 절연막(12)을 유전체막으로 하여, 또한 축적 용량을 부가할 수 있다.

또한, 제 1 차광막(11b)을 용량선으로서 대응하면, 주사선(3a)과 동일 공정으로 형성되는 용량선(3b)은 각 화소 단위마다 축적 용량 전극으로서 섬 형상으로 형성하여도 된다. 이와 같이 구성함으로써, 화소 개구율을 향상하는 것이 가능하게 된다.

또한, 이러한 제 1 차광막(11b)은 제 1 실시예에서의 제조 프로세스 중, 공정(2)에서의 레지스트 마스크의 패턴을 변경하면 형성할 수 있다. 또한, 콘택트 홀(15)은 제 1 실시예에서의 제조 프로세스 중, 공정(8)과 공정(9) 사이에, 반응성 이온 에칭, 반응성 이온 빔 에칭 등의 건식 에칭이나 습식 에칭을 실시함으로써 형성하면 된다.

(전기 광학 장치의 제 3 실시예)

본 발명에 의한 전기 광학 장치의 제 3 실시예인 액정 장치의 구성에 대해서, 도 10를 참조하여 설명한다. 도 10은 제 2 실시예에서의 도 8의 평면도의 B-B' 단면에 대응하는 제 3 실시예의 단면도이다. 또한, 도 10에 도시한 제 3 실시예에 있어서 도 8에 도시한 제 2 실시예와 같은 구성 요소에 대해서는 같은 도면 부호를 붙이고, 그의 설명은 생략한다. 또한, 도 10에 있어서는 각 층이나 각 부재를 도면상에서 인식 가능한 정도의 크기로 하기 위해서, 각 층이나 각 부재마다 축척을 다르게 하고 있다.

도 10에 있어서, 제 3 실시예에서는 제 2 실시예와는 달리, 제 3 층간 절연막(7')은 상측 표면이 평탄하게 형성되어 있다. 이 결과, 제 3 층간 절연막(7')을 지지막(underlying film)으로 하는 화소 전극(9a) 및 배향막(16)도 평탄화되어 있다. 그 밖의 구성에 대해서는 제 2 실시예의 경우와 동일하다.

따라서, 제 3 실시예에 의하면, 데이터 선(6a)에 걸쳐서 주사선(3a), TFT(30), 용량선(3b) 등이 형성되는 영역의 다른 영역에 대한 단차가 저감된다. 이렇게하여 화소 전극(9a)이 평탄화되어 있으므로, 해당 평탄화 정도에 따라서 액정층(50)의 디스플레이의 발생을 저감할 수 있다. 이 결과, 제 3 실시예에 의하면, 보다 고품질의 화상 표시가 가능해지고, 화소 개구 영역을 확대하는 것도 가능하게 된다.

또한, 이러한 제 3 층간 절연막(7')의 평탄화는 예를 들면, 제 1 실시예의 제조 프로세스에 있어서의 공정(21) 시의, CMP(Chemical Mechanical Polishing) 처리, 스펀 코팅 처리, 리플로우법 등에 의해 행하거나, 유기 SOG(Spin On Glass), 무기 SOG, 폴리이미드 막 등을 이용하여 행하면 된다. 이와 같이 평탄화하기 위해서 제 3 층간 절연막(7')의 막두께가 두껍게 되어도 배리어층(80)이 선택비가 높은 막으로 형성되어 있기 때문에, 예칭시에 막을 관통하지 않는다.

(전기 광학 장치의 제 4 실시예)

본 발명에 의한 전기 광학 장치의 제 4 실시예인 액정 장치의 구성에 대해서, 도 11을 참조하여 설명한다. 도 11은 제 2 실시예에서의 도 8의 평면도의 B-B' 단면에 대응하는 제 4 실시예의 단면도이다. 또한, 도 10에 도시한 제 4 실시예에 있어서 도 8에 도시한 제 2 실시예와 같은 구성 요소에 대해서는 같은 도면 부호를 붙이고, 그의 설명은 생략한다. 또한, 도 11에 있어서는 각 층이나 각 부재를 도면상에서 인식 가능한 정도의 크기로 하기 때문에, 각 층이나 각 부재마다 축척을 다르게 하고 있다.

도 11에 있어서, 제 4 실시예에서는 제 2 실시예와는 달리, TFT 어레이 기판(10')은 그의 상측 표면이, 데이터 선(6a), 주사선(3a) 및 용량선(3b)에 대항하는 부분이 오목형상으로 오목하게 형성되어 있다. 이 결과, TFT 어레이 기판(10') 상에 이들의 배선이나 층간 절연막을 거쳐 형성되는 화소 전극(9a) 및 배향막(16)도 평탄화되어 있다. 그 밖의 구성에 대해서는 제 2 실시예의 경우와 동일하다.

따라서, 제 4 실시예에 의하면, 데이터 선(6a)에 걸쳐서 주사선(3a), TFT(30), 용량선(3b) 등이 형성되는 영역과 형성되지 않은 영역에 대한 단차가 저감된다. 이렇게 하여 화소의 비개구 영역의 적어도 일부분을 매립하는 것만으로 화소 전극(9a)이 거의 평탄화되고, 해당 평탄화의 정도에 따라서 액정층(50)의 디스플레이의 발생을 저감할 수 있다. 이 결과, 제 4 실시예에 의하면, 보다 고품질의 화상 표시가 가능하게 되며, 화소 개구 영역을 확대하는 것도 가능하게 된다.

또한, 이러한 TFT 어레이 기판(10')은 예를 들면, 제 1 실시예의 제조 프로세스에 있어서의 공정(1) 이전

여, 오목형상의 오목함을 형성해야 할 영역에 에칭을 실시하면 된다.

상술한 바와 같이 제 3 실시예에서는 제 3 층간 절연막 상면을 평탄화하고, 제 4 실시예에서는 기판을 오목형상으로 홈을 형성한 위에 배선이나 소자부(素子部)를 형성하여 최종적으로 화소 전극을 평탄화하고 있지만, 제 2 층간 절연막(4) 또는 기층 절연막(12)을 오목형상으로 오목하게 형성하여도 같은 평탄화의 효과가 얻어진다. 이 경우 각각의 층간 절연막을 오목형상으로 형성하는 방법으로서 각 층간 절연막을 2층 구조로 하여, 일층만으로 이루어지는 얇은 부분을 오목형상의 오목한 부분으로서 2층의 두꺼운 부분을 오목형상의 뱅크(bank) 부분으로 하도록 박막 형성 및 에칭을 행하면 된다. 혹은, 각 층간 절연막을 단일층 구조로 하여, 에칭에 의해 오목형상의 오목하게 들어가도록 형성하여도 된다. 이들의 경우, 반응 성 미온 에칭, 반응성 미온 빔 에칭 등의 건식 에칭을 사용하면, 설계 치수대로 오목형상 부분을 형성할 수 있는 이점이 있다. 한편, 적어도 습식 에칭을 단독으로 또는 건식 에칭과 조합하여 사용하는 경우에는 오목형상의 폭쪽 벽면을 테이퍼 형상으로 형성할 수 있기 때문에, 후 공정으로 오목형상의 폭 내에 형성되는 폴리실리콘막, 레지스트 등의 축적 주위에 대한 잔류물을 제거할 수 있으므로, 제품 비율의 저하를 초래하지 않는 이점을 얻게 된다.

(전기 광학 장치의 제 5 실시예)

본 발명에 의한 전기 광학 장치의 제 5 실시예인 액정 장치의 구성에 대해서, 도 12를 참조하여 설명한다. 도 12는 제 1 실시예에 있어서의 도 2의 A-A' 단면도에 대응하는 제 5 실시예의 단면도이다. 또한, 도 12에 도시한 제 5 실시예에 있어서 제 1 실시예와 같은 구성 요소에 대해서는 같은 도면 부호를 붙이고, 그의 설명은 생략하고, 제 1 실시예와 다른 점만 설명한다.

제 5 실시예에서는 용탕선(3b) 상에 있어서 배리어층(80)과 화소 전극(9a)을 전기적으로 접속하기 위한 제 2 콘택트 홀(8b)이 형성되어 있다. 이와 같이, 용탕선(3b) 상에 제 2 콘택트 홀(8b)을 형성함으로써, 제 2 콘택트 홀(8b)의 영역 아래의 면적도 용탕으로서 기능시킬 수 있기 때문에, 그 만큼 용량을 크게 할 수 있다.

(전기 광학 장치의 전체 구성)

이상과 같이 구성된 각 실시예에 있어서의 전기 광학 장치에 일례인 액정 장치의 전체 구성을 도 13 및 도 14를 참조하여 설명한다. 또한, 도 13은 TFT 어레이 기판(10)을 그 위에 형성된 각 구성 요소와 같이 대향 기판(20)측으로부터 본 평면도이고, 도 14는 도 13의 H-H' 단면도이다.

도 13에 있어서, TFT 어레이 기판(10) 상에는 씨일재(52)가 그 가장자리를 따라서 형성되어 있고, 그의 내측에 병행하여, 예를 들면 제 2 차광막(23)과 같은 혹은 다른 재료로 이루어지는 화상 표시 영역의 주변을 구성하는 화상 프레임로서의 제 3 차광막(53)이 형성되어 있다. 씨일재(52)의 외측의 영역에는 데이터 선(6a)에 화상 신호를 소정 타이밍으로 공급함으로써 데이터 선(6a)을 구동하는 데이터 선 구동 회로(101) 및 외부 회로 접속 단자(102)가 TFT 어레이 기판(10)의 한 변을 따라 형성되어 있고, 주사선(3a)에 주사 신호를 소정 타이밍으로 공급함으로써 주사선(3a)을 구동하는 주사선 구동 회로(104)가, 상기 한 변에 인접하는 2변을 따라서 형성되어 있다. 주사선(3a)에 공급되는 주사 신호의 지연이 문제가 되지 않으며, 주사선 구동 회로(104)는 한 쪽만으로도 충분함은 말할 필요도 없다. 또한, 데이터 선 구동 회로(101)를 화상 표시 영역의 변을 따라서 양측에 배열하여도 된다. 예를 들면 홀수열의 데이터 선(6a)은 화상 표시 영역의 한쪽 변을 따라 배치된 데이터 선 구동 회로에서 화상 신호를 공급하고, 짝수열의 데이터 선은 상기 화상 표시 영역의 반대쪽의 변을 따라 배치된 데이터 선 구동 회로에서 화상 신호를 공급하도록 하여도 된다. 이렇게 데이터 선(6a)을 빗살모양(櫛狀)으로 구동하도록 하면, 데이터 선 구동 회로의 점유 면적을 확장할 수 있기 때문에, 복잡한 회로를 구성하는 것이 가능하게 된다. 또한 TFT 어레이 기판(10)에 남는 한변에는 화상 표시 영역의 양측에 형성된 주사선 구동 회로(104) 사이를 연결하기 위한 복수의 배선(105)이 형성되어 있다. 또한, 대향 기판(20)의 코너(corner)부의 적어도 1개소에서는 TFT 어레이 기판(10)과 대향 기판(20) 사이에서 전기적으로 전도성이도록 전도체(106: conducting member)가 형성되어 있다. 그리고, 도 14에 도시한 바와 같이, 도 13에 도시한 씨일재(52)와 거의 같은 윤곽을 가지는 대향 기판(20)이 해당 씨일재(52)에 의해 TFT 어레이 기판(10)에 고정되어 있다. 또한, TFT 어레이 기판(10) 상에는 이들의 데이터 선 구동 회로(101), 주사선 구동 회로(104) 등에 부가하여, 복수의 데이터 선(6a)에 화상 신호를 소정의 타이밍으로 인가하는 샘플링 회로, 복수의 데이터 선(6a)에 소정 전압 레벨의 프리차지(precharge) 신호를 화상 신호에 선행하여 각각 공급하는 프리차지 회로, 제조 도중이나 출하시의 해당 액정 장치의 품질, 결함 등을 검사하기 위한 검사 회로 등을 형성하여도 된다. 또한, 본 실시예에 의하면, 대향 기판(20) 상의 제 2 차광막(23)은 TFT 어레이 기판(10)의 차광 영역보다도 작게 형성하면 된다. 또한, 액정 장치의 용도에 따라, 제 2 차광막(23)은 용이하게 제거할 수 있다.

이상 도 1 내지 도 14를 참조하여 설명한 각 실시예에서는 데이터 선 구동 회로(101) 및 주사선 구동 회로(104)를 TFT 어레이 기판(10) 위에 형성하는 대신에, 예를 들면 TAB(Tape Automated Bonding) 기판 상에 장착된 구동용 LSI에, TFT 어레이 기판(10)의 주변부에 형성된 이방성 도전 필름을 통해 전기적 및 기계적으로 접속하도록 하여도 된다. 또한, 대향 기판(20)의 투시광이 입사하는 측 및 TFT 어레이 기판(10)의 출사광이 출사하는 측에는 각각, 예를 들면, TN(Twisted Nematic) 모드, VA(Vertically Aligned) 모드, POLC(Polymer Dispersed Liquid Crystal) 모드 등의 동작 모드나, 노멀리 화이트 모드/노멀리 블랙 모드에 따라서, 편광 필름, 위상차 필름, 편광판 등이 소정의 방향에 배치된다.

이상 설명한 각 실시예에서의 전기 광학 장치는 컬러 표시의 프로젝터

등에 적용되기 때문에, 3장의 전기 광학 장치가 R(적) G(녹) B(청)용 라이트 밸브(light valve)로서 각각 사용되고, 각 라이트 밸브에는 각각 R66 색분해용 다이크로익 미러(dichroic mirror)를 통해 분해된 각각의 색의 광이 투시광으로서 각각 입사되어진다. 따라서, 각 실시예에서는 대향 기판(20)에 컬러 필터는 형성되어 있지 않다. 그렇지만, 제 2 차광막(23)이 형성되어 있지 않은 화소 전극(9a)에 대향하는 소정 영역에 R66의 컬러 필터를 그의 보호막과 함께, 대향 기판(20) 상에 형성하여도 된다. 또는 TFT 어레이 기판(10) 상의 R66에 대향하는 화소 전극(9a) 아래에 컬러 레지스트 등으로 컬러 필터층을 형성하는 것도 가능하다. 이와 같이 하면, 프로젝터 이외의 적사형이나 반사형의 컬러 액정 텔레비전 등에 각 실시예에서의 전기 광학 장치를 적용할 수 있다. 또한, 대향 기판(20) 상에 1화소 1개 대응하도록 마이크로 렌즈

를 형성하여도 된다. 이와 같이 하면, 입사광의 집광 효율을 향상함으로써, 밝은 전기 광학 장치가 실현된다. 또한, 대향 기판(20) 상에, 몇몇 층의 굴절율이 서로 다른 간섭층을 퇴적함으로써, 광의 간섭을 이용하여, RGB 색을 만들어내는 다이크로익 필터를 형성하여도 된다. 이 다이크로익 필터를 부착한 대향 기판에 의하면, 보다 밝은 컬러 전기 광학 장치가 실현된다.

이상 설명한 각 실시예에서의 전기 광학 장치에서는 종래와 같이 입사광을 대향 기판(20) 측으로부터 입사하는 것으로 하였지만, 제 1 차광막(11a)을 형성하고 있으므로, TFT 어레이 기판(10) 측으로부터 입사광을 입사하고, 대향 기판(20) 측으로부터 출사하도록 하여도 된다. 즉, 이와 같이 전기 광학 장치를 역정 프로젝터에 장착하여도, 반도체층(1a)의 채널 영역(1a') 및 저농도 소스 영역(1b), 저농도 드레인 영역(1c)에 광이 입사하는 것을 방지할 수 있고, 고품질의 화상을 표시하는 것이 가능하다. 여기서, 종래는 TFT 어레이 기판(10)의 이면측(裏面側)에서의 반사를 방지하기 위해서, 반사 방지용 AR(Anti-Reflection) 피막된 편광판을 별도로 배치하거나, AR 필름을 적착할 필요가 있었지만, 각 실시예에서는 TFT 어레이 기판(10)의 표면과 반도체층(1a)의 적어도 채널 영역(1a') 및 저농도 소스 영역(1b), 저농도 드레인 영역(1c) 사이에 제 1 차광막(11a)이 형성되어 있기 때문에, 이러한 AR 피막된 편광판이나 AR 필름을 사용하거나, TFT 어레이 기판(10) 그 자체를 AR 처리한 기판을 사용할 필요가 없어진다. 따라서, 각 실시예에 의하면, 재료 비용을 삭감할 수 있으며, 또한 편광판 접착시, 먼지, 상처 등에 의해, 제품 비율을 떨어뜨리지 않게 되어 대단히 유리하다. 또한, 내광성이 우수하기 때문에, 밝은 광원을 사용하거나, 편광판 스프리터에 의해 편광 변환하여, 광 이용 효율을 향상시켜도, 광에 의한 크로스토크 등의 화질 열화를 발생시키지 않는다.

또한, 각 화소에 형성되는 스위칭 소자로서는 정스타거형 또는 코플레이너형 폴리실리콘 TFT인 것으로 하여 설명하였지만, 역(逆)스타거형의 TFT나 비정질 실리콘 TFT 등의 다른 형식의 TFT에 대하여도, 각 실시예에는 유효하다.

(전자기기)

다음에, 이상 상세히 설명한 전기 광학 장치(100)를 구비한 전자기기의 실시예에 대해서 도 15 내지 도 17를 참조하여 설명한다.

우선 도 15에, 이와 같이 전기 광학 장치(100)를 구비한 전자기기의 개략구성을 도시한다.

도 15에 있어서, 전자기기는 표시 정보 출력원(1000), 표시 정보 회로(1002), 구동 회로(1004), 전기 광학 장치(100), 클럭 발생 회로(1008) 및 전원 회로(1010)를 구비하고 구성되어 있다. 표시 정보 출력원(1000)은 ROM(Read Only Memory), RAM(Random Access Memory), 광디스크 장치 등의 메모리, 화상 신호를 동조하여 출력하는 동조 회로 등을 포함하며, 클럭 발생 회로(1008)로부터의 클럭 신호에 근거하여, 소정 포맷의 화상 신호 등의 표시 정보를 표시 정보 처리 회로(1002)에 출력한다. 표시 정보 처리 회로(1002)는 증폭, 색상 보정 회로, 적갈-병렬 변환 회로, 로테이션(rotation) 회로, 감마 보정(gamma correction) 회로, 클램핑(clamping) 회로 등의 공지된 각종 처리 회로를 포함하여 구성되어 있고, 클럭 신호에 근거하여 입력된 표시 정보로부터 디지털 신호를 순차적으로 생성하고, 클럭 신호(DLK)와 함께 구동 회로(1004)에 출력한다. 구동 회로(1004)는 전기 광학 장치(100)를 구동한다. 전원 회로(1010)는 상술한 각 회로에 소정 전원을 공급한다. 또한, 전기 광학 장치(100)를 구성하는 TFT 어레이 기판 상에, 구동 회로(1004)를 탑재하여도 되고, 이것에 부가하여 표시 정보 처리 회로(1002)를 탑재하여도 된다.

다음에 도 16 내지 도 17에, 이와 같이 구성된 전자기기의 구체적인 예를 각각 도시한다.

도 16에 있어서, 전자기기의 일례인 프로젝터(1100)는 상술한 구동 회로(1004)가 TFT 어레이 기판 상에 탑재된 전기 광학 장치(100)를 포함하는 라이트 밸브를 3개 준비하고, 각각 RGB용 라이트 밸브(100R, 100G, 100B)로서 사용한 프로젝터로서 구성되어 있다. 프로젝터(1100)에서는 메탈 할라이드(metal halide) 램프 등의 백색 광원의 램프 유닛(1102)으로부터 투사광이 발생되면, 3장의 미러(1106) 및 2장의 다이크로익 미러(1108)에 의해서, RGB의 3원색에 대응하는 광성분 R, G, B로 나누어지고, 각 색에 대응하는 라이트 밸브(100R, 100G, 100B)에 각각 유입된다. 이 때 특히, R광은 긴 광로에 의한 광 손실을 방지하기 위해서, 입사 렌즈(1122), 릴레이 렌즈(1123) 및 출사 렌즈(1124)로 이루어지는 릴레이 렌즈계(1121)를 통해 유도된다. 그리고, 라이트 밸브(100R, 100G, 100B)에 의해 각각 변조된 3원색에 대응하는 광 성분은 다이크로익 프리즘(1112)에 의해 재차 합성된 후, 투사 렌즈(1114)를 통해 스크린(1120)에 컬러 화상으로 투사된다.

도 17에 있어서, 전자기기의 다른 예로 멀티미디어 대응의 랩탑형 퍼스널 컴퓨터(PC; 1200)는 상술한 전기 광학 장치(100)가 상부 커버 케이스 안에 형성되어 있으며, 또한 CPU, 메모리, 모뎀 등을 수용함과 동시에 키보드(1202)가 내장된 본체(1204)를 구비하고 있다.

이상 도 16 내지 도 17를 참조하여 설명한 전자기기 이외에도, 액정 텔레비전, 뷰파인더형 또는 모니터 적시형 비디오 테이프 레코더, 카 네비게이션 장치, 전자 수첩, 전자 계산기, 워드프로세서, 엔지니어링 워크 스테이션(EWS), 휴대 전화, 텔레비전 전화, POS 단말기, 터치 패널을 구비한 장치 등이 도 15에 도시된 전자기기의 예로서 들 수 있다.

이상 설명한 바와 같이, 본 실시예에 의하면, 제조 효율이 높고 고품질의 화상 표시가 가능한 전기 광학 장치를 구비한 각종 전자기기를 실현할 수 있다.

산업상 이용 가능성

이상 설명한 바와 같이 본 발명의 제 1 전기 광학 장치에 의하면, 적층 구조 중의 특정 위치에 형성된 도전층에 의해, 여러가지 관점에서, 해당 전기 광학 장치의 표시 화질의 향상이나 레이아웃 자유도의 증가, 장치 안정성이나 신뢰성의 향상, 제조 프로세스의 용이화 등을 꾀하는 것이 가능하게 된다.

본 발명의 제 2 전기 광학 장치에 의하면, 주사선의 하측에 박막 트랜지스터와 이것에 병렬하는 위치에 있어서 용량선의 하측에 축적 용량을 포함하는 적층 구조 중의 특정 위치에 형성된 도전층에 의해, 여러

가지 관점에서, 해당 전기 광학 장치의 표시 화질의 향상이나 레이아웃 자유도의 증가, 장치 안정성이나 신뢰성의 향상, 제조 프로세스의 용이화 등을 꾀하는 것이 가능하게 된다.

본 발명의 제 3 전기 광학 장치에 의하면, 데이터 선과 주사선 사이에서의 기생 용량 등과는 무관하게 박막화할 수 있는 제 2 유전체막을 이용하며, 간단하며 또한 효율적으로 축적 용량의 종대를 꾀할 수 있다. 따라서, 축적 용량 부족에 기인하는 플리커를 저감할 수 있을과 동시에 콘트라스트 비를 향상할 수 있고, 특히 고세밀화나 초소형화 시에도, 충분한 축적 용량을 부가하는 것이 가능하게 된다. 또한, 도전층의 버퍼 기능에 의해, 화소 전극 및 드레인 영역 사이의 전기적인 접촉을 용이하게 행할 수 있을과 동시에 콘택트 홀의 직경을 작게 할 수 있을 뿐만 아니라, 제 1 또는 제 2 유전체막의 박막화에 따라서 콘택트 홀 직경을 더욱 작게 할 수 있으므로, 콘택트 홀의 존재에 기인한 화소 개구율 향상이나 전기 광학 특질의 디스플레이레이션의 발생 등의 방지를 꾀할 수 있다. 또한, 제 2 콘택트 홀은 평면적으로 보아 데이터 선이 존재하지 않으며 또한 도전층이 존재하는 영역이면, 임의의 평면 위치에 형성 가능하기 때문에, 제 2 콘택트 홀을 형성하는 위치의 자유도가 현격하게 높아지기 때문에, 평면 레이아웃에 관한 설계 자유도가 대단히 높아지고, 실용상 대단히 편리하다.

또한, 본 발명의 전기 광학 장치의 제조방법에 의하면, 비교적 적은 공정수로 또한 비교적 간단한 각 공정을 사용하여 본 발명의 전기 광학 장치를 제조할 수 있다.

(57) 청구의 범위

청구항 1

기판에 복수의 주사선 및 복수의 데이터 선과, 상기 주사선 및 상기 데이터 선에 접속된 박막 트랜지스터와, 해당 박막 트랜지스터에 접속된 화소 전극 및 해당 화소 전극에 접속된 축적 용량을 갖는 전기 광학 장치에 있어서,

상기 주사선 및 상기 축적 용량의 한쪽의 전극의 상방에 형성된 제 1 층간 절연막과, 해당 제 1 층간 절연막의 상방에 형성된 도전층과, 해당 도전층의 상방에 형성된 제 2 층간 절연막을 구비하고 있으며,

상기 데이터 선은 상기 제 2 층간 절연막 상에 형성되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 2

제 1 항에 있어서,

상기 기판에, 상기 데이터 선의 상방에 형성된 제 3 층간 절연막을 또한 구비하고 있으며, 상기 화소 전극은 상기 제 3 층간 절연막 상에 형성됨과 동시에 상기 제 2 및 제 3 층간 절연막에 형성된 콘택트 홀을 통해 상기 도전층에 전기적으로 접속되어 있고,

상기 도전층은 상기 반도체층에 전기적으로 접속되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 3

기판에 복수의 주사선 및 복수의 데이터 선과, 각 상기 주사선 및 각 상기 데이터선에 접속된 박막 트랜지스터와, 해당 박막 트랜지스터에 접속된 화소 전극과, 상기 박막 트랜지스터의 소스 영역 및 드레인 영역 및 제 1 축적 용량 전극을 구성하는 반도체층과, 해당 반도체층 상에 형성되어 있는 절연 박막과, 해당 절연 박막 상에 형성되어 있음과 동시에 상기 주사선의 일부로 이루어지는 상기 박막 트랜지스터의 게이트 전극과, 상기 절연 박막 상에 형성되어 있는 제 2 축적 용량 전극과, 상기 주사선 및 상기 제 2 축적 용량 전극의 상방에 형성된 제 1 층간 절연막과, 해당 제 1 층간 절연막의 상방에 형성된 도전층과, 해당 도전층의 상방에 형성된 제 2 층간 절연막을 구비하고 있으며,

상기 데이터 선은 상기 제 2 층간 절연막 상에 형성됨과 동시에 상기 절연 박막 및 상기 제 1 및 제 2 층간 절연막에 형성된 콘택트 홀을 통해, 상기 반도체층의 소스 영역에 전기적으로 접속되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 4

제 3 항에 있어서,

상기 도전층은 상기 제 1 층간 절연막 및 상기 절연 박막에 형성된 콘택트 홀을 통해 상기 반도체층의 드레인 영역에 전기적으로 접속되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 5

제 3 항 또는 제 4 항에 있어서,

상기 기판에, 상기 데이터 선의 상방에 형성된 제 3 층간 절연막을 또한 구비하고 있고,

상기 화소 전극은 상기 제 3 층간 절연막 상에 형성됨과 동시에 상기 제 2 및 제 3 층간 절연막에 형성된 콘택트 홀을 통해 상기 도전층에 전기적으로 접속되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 6

기판에 매트릭스 형상으로 배열된 복수의 화소 전극 및 박막 트랜지스터와, 해당 박막 트랜지스터에 접속되어 있고 층간 절연막을 거쳐 입체적으로 서로 교차하는 주사선 및 데이터 선과, 상기 박막 트랜지스터를 구성하는 반도체층과 상기 화소 전극과의 사이에 개재하며, 상기 반도체층의 드레인 영역과 제 1 콘택트 홀을 통해 전기적으로 접속되며 또한 상기 화소 전극과 제 2 콘택트 홀을 통해 전기적으로 접속된 도전층과, 상기 드레인 영역을 구성하는 반도체층 부분과 동일막으로 이루어지는 제 1 축적 용량 전극과 상기 제 1 축적 용량 전극 상에 배치된 제 2 축적 용량 전극과의 사이에 개재하는 제 1 유전체막과, 상기

제 2 축적 용량 전극과 상기 도전층의 일부로 이루어지는 제 3 축적 용량 전극 사이에 개재하는 제 2 유전체막을 구비한 것을 특징으로 하는 전기 광학 장치.

청구항 7

제 6 항에 있어서,

상기 제 1 축적 용량 전극과 상기 제 2 축적 용량 전극은 평면적으로 보아 상기 제 1 유전체막을 통해 적어도 일부가 겹치고, 상기 제 2 축적 용량 전극과 상기 제 3 축적 용량 전극은 상기 제 2 유전체막을 통해 적어도 일부가 겹치는 것을 특징으로 하는 전기 광학 장치.

청구항 8

제 6 항 또는 제 7 항에 있어서,

상기 제 1 유전체막과 상기 절연 박막은 동일막으로 이루어지고,

상기 주사선과 상기 제 2 축적 용량 전극은 동일막으로 이루어지며,

상기 제 2 홀간 절연막은 상기 주사선 및 상기 도전층 상에 형성되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 9

제 6 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제 1 홀간 절연막과 상기 제 2 유전체막은 동일막으로 이루어지는 것을 특징으로 하는 전기 광학 장치.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 도전층은 도전성의 차광막으로 이루어지는 것을 특징으로 하는 전기 광학 장치.

청구항 11

제 10 항에 있어서,

상기 도전층은 상기 기판 상에서의 평면 형상이 서로 인접하는 데이터 선 사이를 상기 주사선에 따라 신장하고, 각 화소 전극마다 섬(island)형상으로 구성되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 12

제 11 항에 있어서,

상기 서로 인접하는 데이터 선과 상기 도전층은 평면적으로 보아 적어도 일부분에서 겹치는 것을 특징으로 하는 전기 광학 장치.

청구항 13

제 10 항에 있어서,

상기 도전층은 평면적으로 보아 상기 주사선과 적어도 일부에서 겹치는 것을 특징으로 하는 전기 광학 장치.

청구항 14

제 10 항에 있어서,

상기 도전층은 고용점 금속을 포함하는 것을 특징으로 하는 전기 광학 장치.

청구항 15

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 도전층은 도전성 폴리실리콘 막으로 구성되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 16

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 도전층은 도전성의 폴리실리콘막과 고용점 금속의 2층 이상의 적층막으로 이루어지는 것을 특징으로 하는 전기 광학 장치.

청구항 17

제 1 항 내지 제 16 항 중 어느 한 항에 있어서,

상기 기판에, 적어도 상기 반도체층의 채널 영역을 평면적으로 보아 각각 덮는 위치에 형성된 차광막을 또한 구비한 것을 특징으로 하는 전기 광학 장치.

청구항 18

제 17 항에 있어서,

상기 차광막은 적어도 상기 주사선 아래로 연장되어 정전위원(constant potential source)에 접속되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 19

제 17 항 또는 제 18 항에 있어서,

상기 차광막은 해당 차광막과 상기 반도체층과의 사이에 개재하는 기층(substrate) 절연막에 형성된 콘택트 홀을 통해 상기 제 2 축적 용량 전극과 전기적으로 접속되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 20

제 1 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 제 2 축적 용량 전극은 연장되는 용량선인 것을 특징으로 하는 전기 광학 장치.

청구항 21

제 20 항에 있어서,

상기 용량선은 상기 기층 절연막을 거쳐 상기 차광막과 전기적으로 접속되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 22

제 17 항 내지 제 21 항 중 어느 한 항에 있어서,

상기 도전층과 상기 차광막은 평면적으로 보아 적어도 일부에서 겹치는 것을 특징으로 하는 전기 광학 장치.

청구항 23

제 1 항 내지 제 22 항 중 어느 한 항에 있어서,

상기 기판과 상기 박막 트랜지스터와의 사이에는 기층 절연막을 구비함과 동시에, 상기 데이터 선의 위 또는 상기 화소 전극 아래에 형성된 제 3 층간 절연막을 구비하고 있고,

상기 기판 및 상기 기층 절연막 및 상기 제 2 층간 절연막 및 상기 제 3 층간 절연막 중 적어도 하나는 상기 박막 트랜지스터, 주사선, 데이터 선, 및 축적 용량에 대응하는 영역의 적어도 일부가 오목형상으로 오목하게 형성됨으로써, 상기 화소 전극의 하측 표면이 거의 평탄화되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 24

제 6 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 제 1 콘택트 홀과 상기 제 2 콘택트 홀은 상기 기판 상에서의 상이한 평면 위치에 형성되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 25

제 1 항 내지 제 24 항 중 어느 한 항에 있어서,

상기 도전층의 막두께는 50nm 이상 500nm 이하인 것을 특징으로 하는 전기 광학 장치.

청구항 26

제 3 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 1 층간 절연막의 막두께는 10nm 이상 200nm 이하인 것을 특징으로 하는 전기 광학 장치.

청구항 27

제 6 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 제 2 유전체막의 막두께는 10nm 이상 200nm 이하인 것을 특징으로 하는 전기 광학 장치.

청구항 28

제 10 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 도전층은 화소의 개구 영역의 적어도 일부를 규정하는 것을 특징으로 하는 전기 광학 장치.

청구항 29

복수의 주사선과, 복수의 데이터 선과, 상기 각 주사선과 데이터 선의 교차에 대응하여 배치된 박막 트랜지스터와, 상기 박막 트랜지스터에 접속된 화소 전극과 축적 용량을 갖는 전기 광학 장치의 제조방법에 있어서,

기판에 상기 박막 트랜지스터의 소스 영역, 채널 영역 및 상기 드레인 영역 및 상기 축적 용량의 제 1 축

적 용량 전극이 되는 반도체층을 형성하는 공정과,
 상기 반도체층 상에 절연 박막을 형성하는 공정과,
 상기 절연 박막 상에 상기 주사선 및 상기 축적 용량의 제 2 축적 용량 전극을 각각 형성하는 공정과,
 상기 제 2 축적 용량 전극 상에 제 1 층간 절연막을 형성하는 공정과,
 상기 절연 박막 및 상기 제 1 층간 절연막에 대하여 상기 제 1 콘택트 홀을 형성하는 공정과,
 상기 제 1 콘택트 홀을 통해 상기 반도체층에 전기적으로 접속되도록 상기 제 1 층간 절연막 상에 도전층을 형성하는 공정과,
 상기 도전층 상에 제 2 층간 절연막을 형성하는 공정과,
 상기 제 2 층간 절연막 상에 상기 데이터 선을 형성하는 공정과,
 상기 데이터 선상에 제 3 층간 절연막을 형성하는 공정과,
 상기 제 2 및 제 3 층간 절연막에 대하여 상기 제 2 콘택트 홀을 형성하는 공정과,
 상기 제 2 콘택트 홀을 통해 상기 도전층에 전기적으로 접속되도록 화소 전극을 형성하는 공정을 포함하는 것을 특징으로 하는 전기 광학 장치의 제조방법.

참구항 30

제 29 항에 있어서,

상기 기판의 상기 채널 영역에 대항하는 영역에 차광막을 형성하는 공정과, 해당 차광막상에 기층 절연막을 형성하는 공정을 또한 포함하며,

상기 반도체층을 형성하는 공정으로는 상기 기층 절연막 상에 상기 반도체층을 형성하는 것을 특징으로 하는 전기 광학 장치의 제조방법.

참구항 31

제 30 항에 있어서,

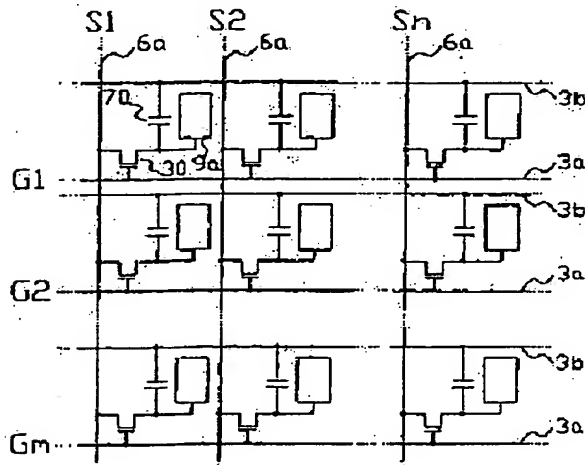
상기 기판 및 상기 기층 절연막 및 상기 제 2 층간 절연막 및 상기 제 3 층간 절연막 중 적어도 하나를 상기 박막 트랜지스터, 주사선, 데이터 선, 및 축적 용량에 대응하는 영역의 적어도 일부에 오목형상으로 오목하게 하는 공정을 갖는 것을 특징으로 하는 전기 광학 장치의 제조방법.

참구항 32

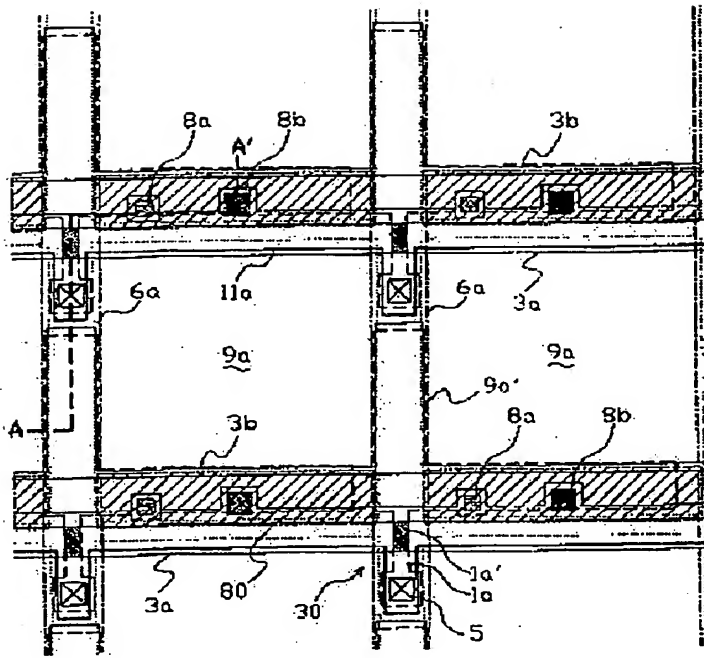
제 1 항 내지 제 28 항 중 어느 한 항에 따른 전기 광학 장치를 갖는 것을 특징으로 하는 전자기기.

도면

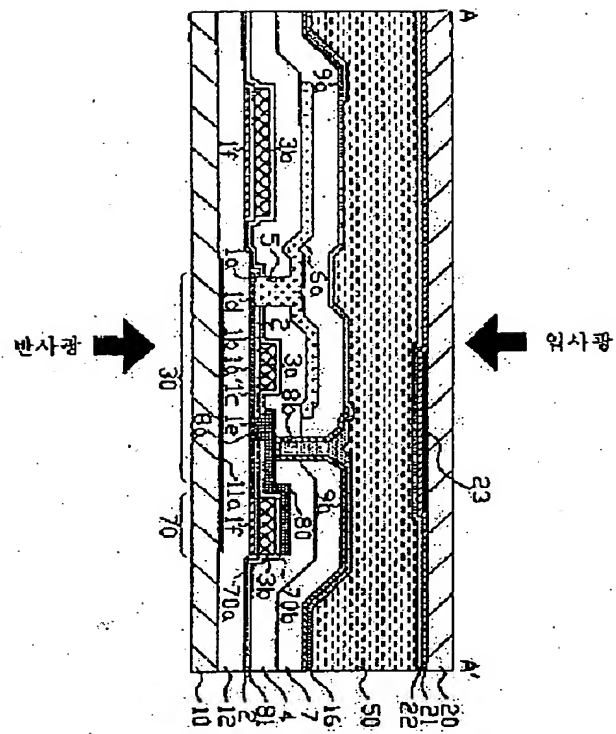
도면1



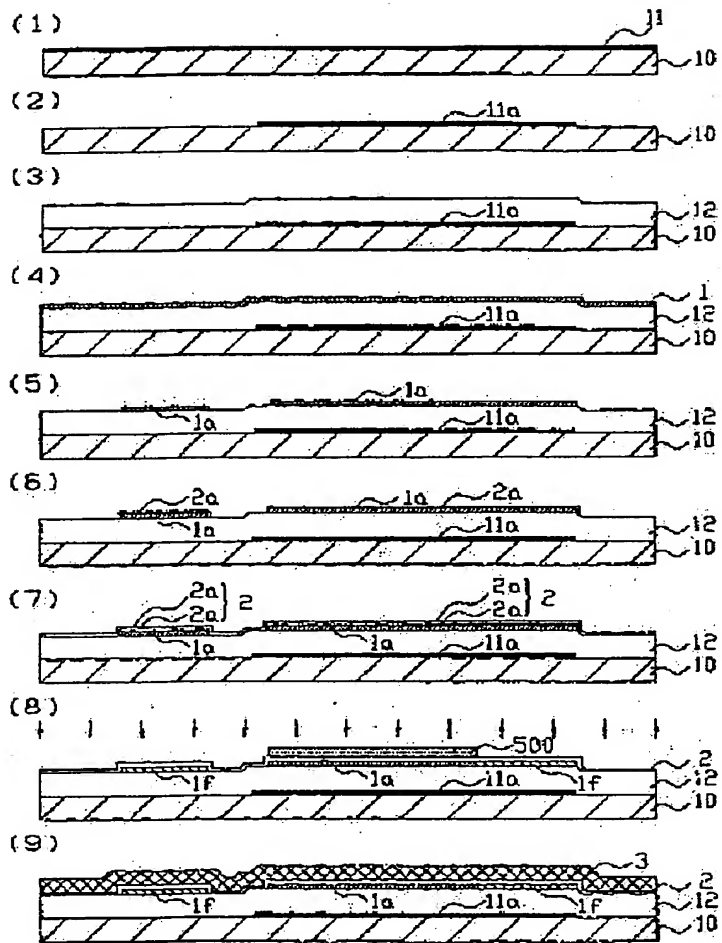
도면2



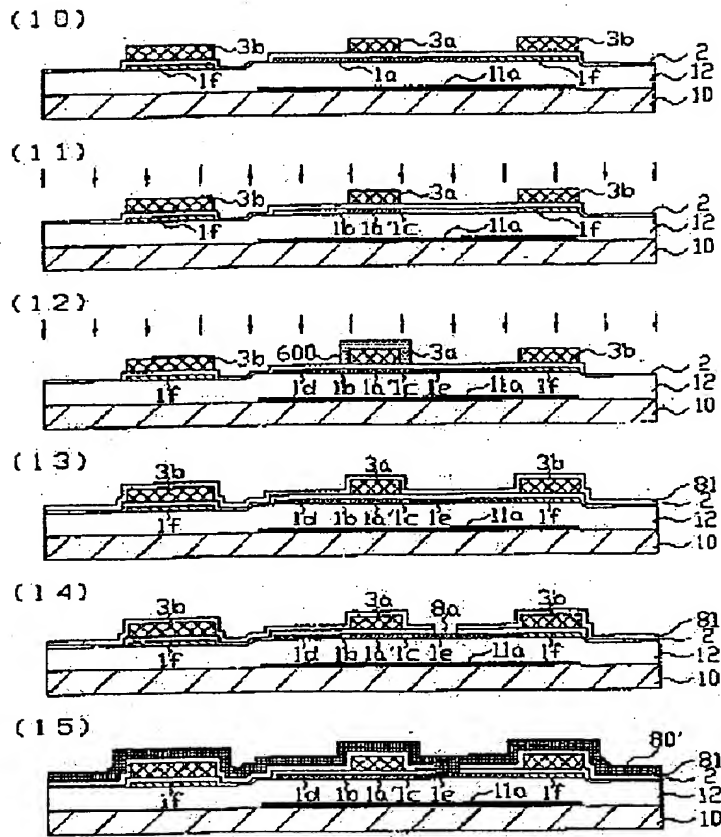
523



도 4

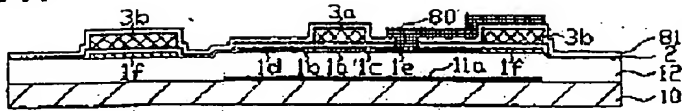


도 25

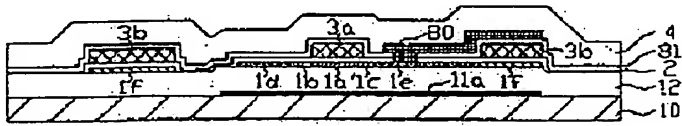


도 20

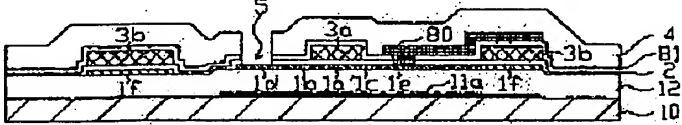
(16)



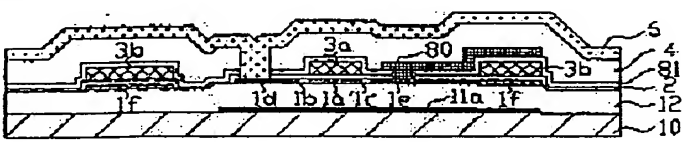
(17)



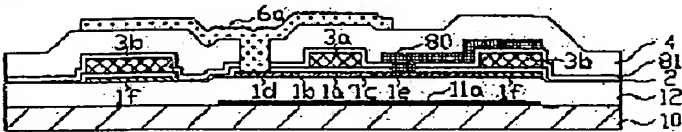
(18)



(19)

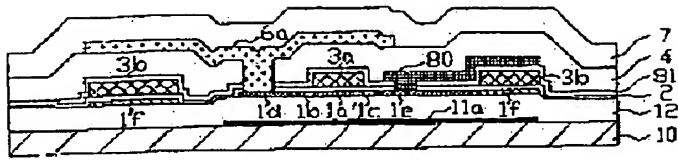


(20)

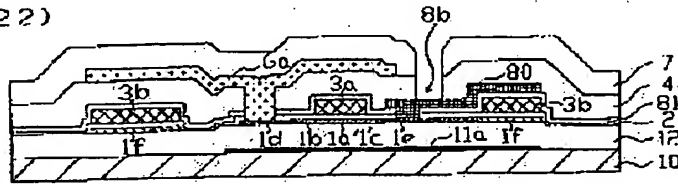


도 27

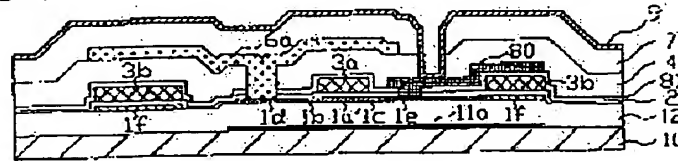
(21)



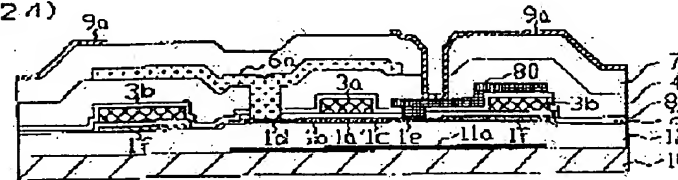
(22)



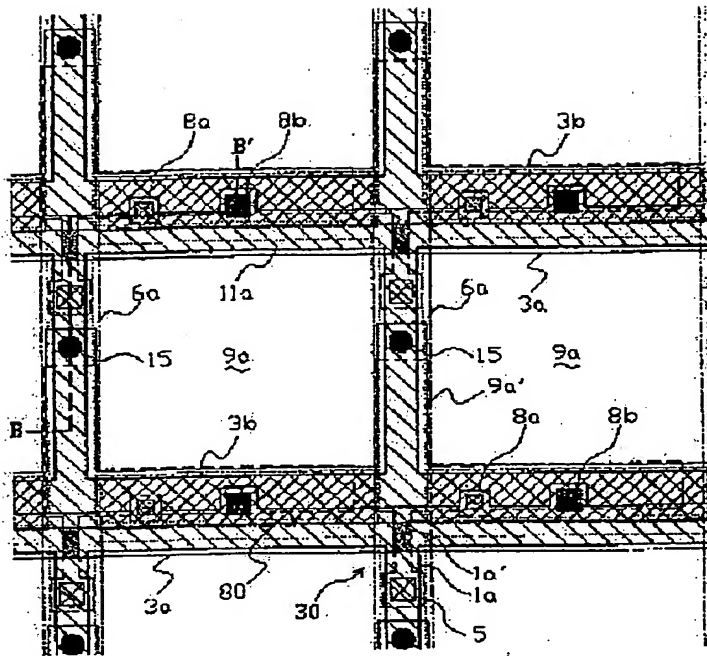
(23)



(24)

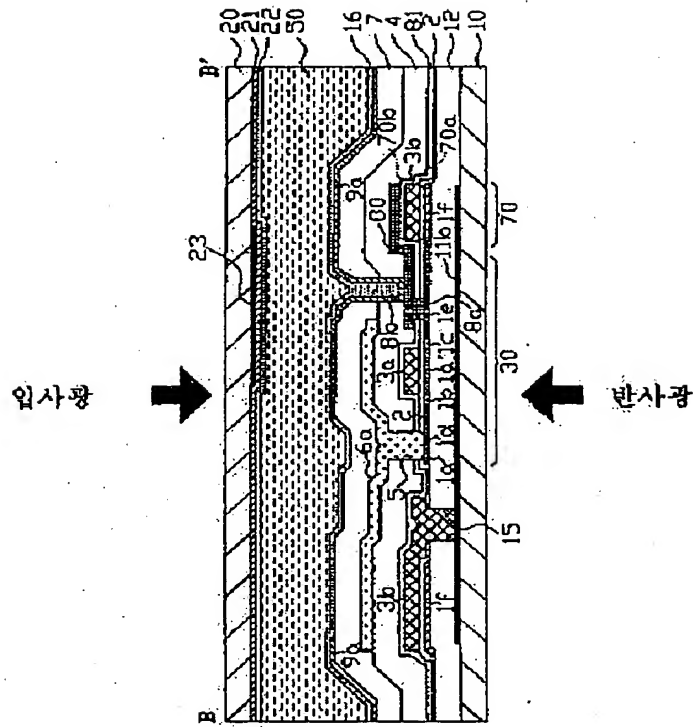


도면

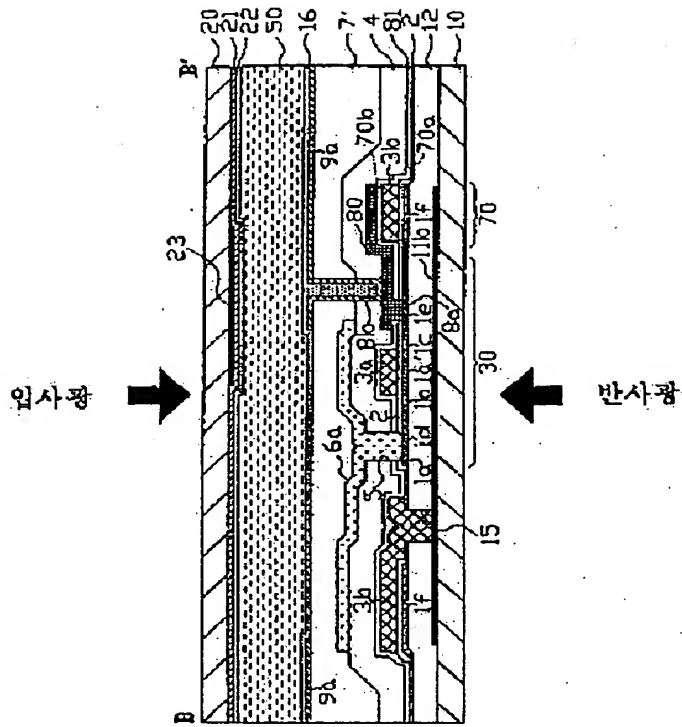


35-28

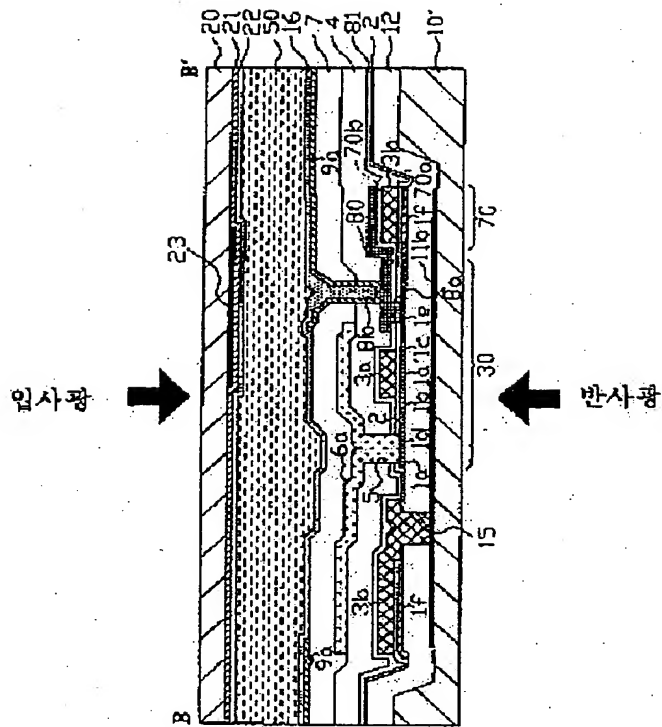
도 29



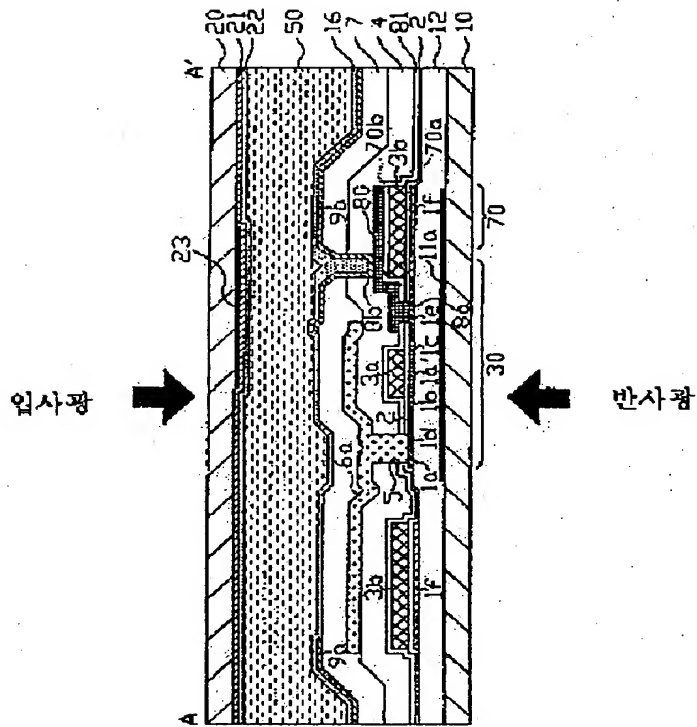
도면 10



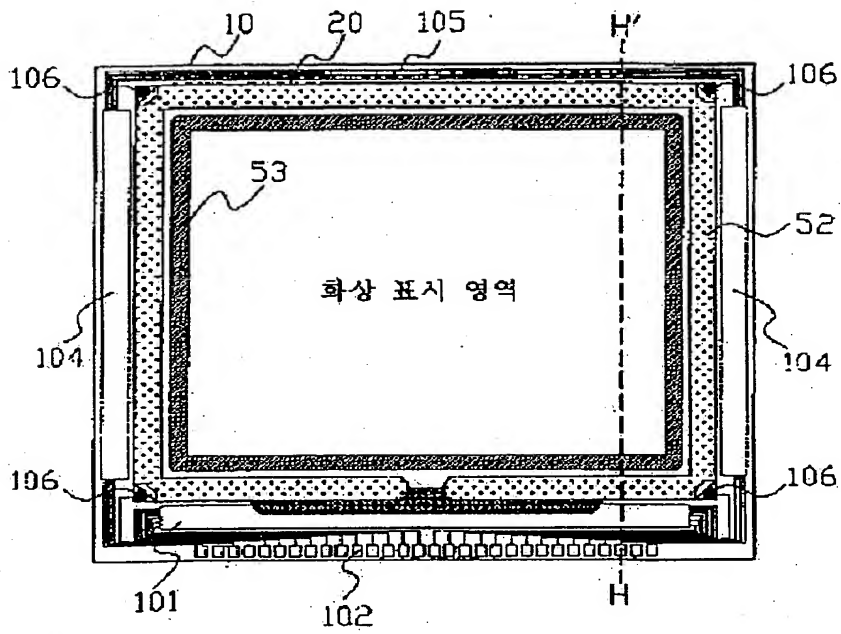
도면 11



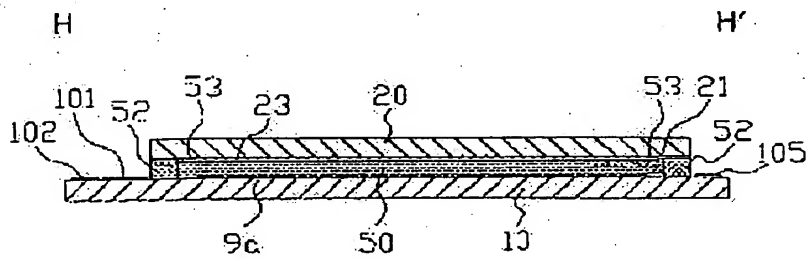
도면 12



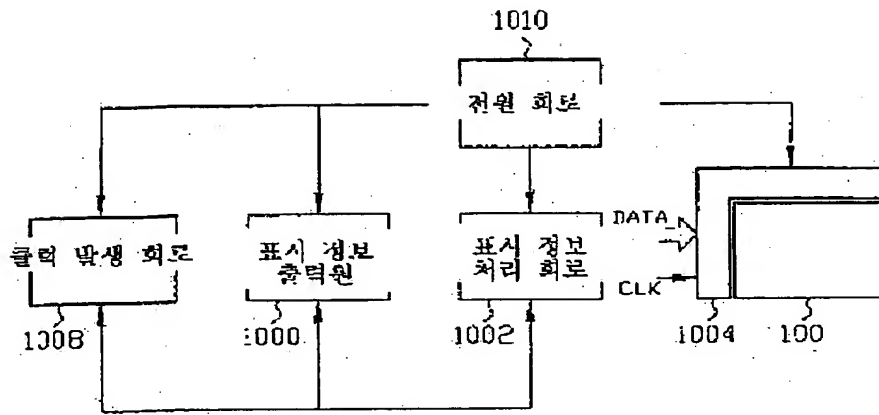
도면 13



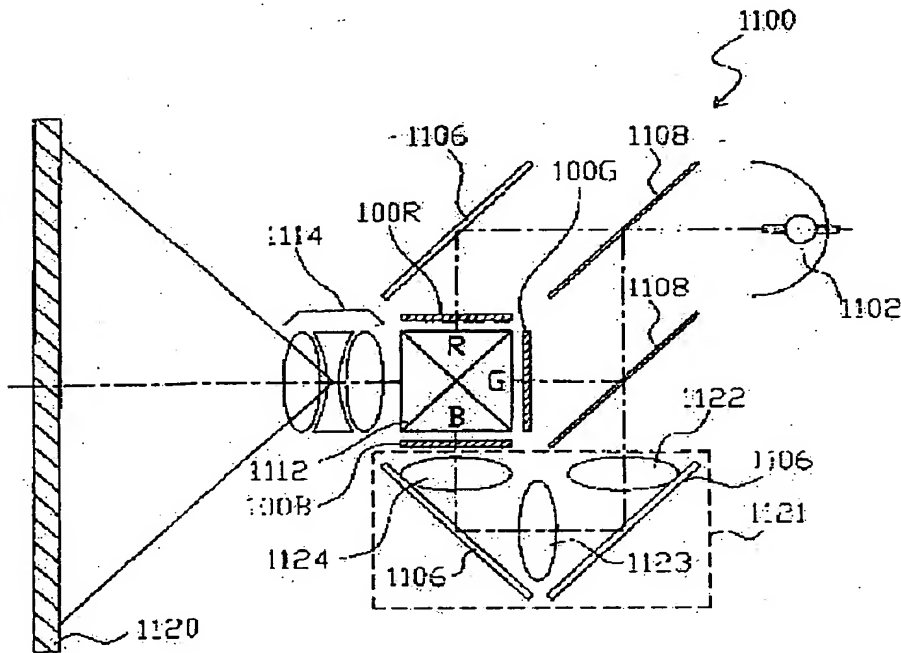
도면 14



도면 15



도면 16



도 17

